

Министерство образования и науки Российской Федерации

Государственное образовательное учреждение
высшего профессионального образования
«Омский государственный технический университет»

А. В. Бубнов, К. Н. Гвозденко, М. В. Гокова

АНАЛОГОВАЯ И ЦИФРОВАЯ СХЕМОТЕХНИКА

Учебное пособие

Омск
Издательство ОмГТУ
2010

УДК 004.312:621.37/.39(075)

ББК 32.844я73

Б 90

Рецензенты:

В. В. Харламов, д. т. н., профессор кафедры “Электрические машины и общая электротехника” Омского государственного университета путей сообщения;

А. А. Руппель, к. т. н., доцент, зав. кафедрой “АППиЭ” Сибирской автомобильно-дорожной академии

Бубнов, А. В.

Б 90 **Аналоговая и цифровая схемотехника:** учеб. пособие / А. В. Бубнов, К. Н. Гвозденко, М. В. Гокова. – Омск: Изд-во ОмГТУ, 2010. – 80 с.

ISBN 978-5-8149-0944-2

В учебном пособии рассмотрены математические основы проектирования цифровых устройств: способы минимизации логических функций и способы их реализации на логических элементах. Описана работа основных устройств цифровой и аналоговой техники: простейшие и сложные логические элементы, шифраторы и дешифраторы, мультиплексоры и демультимплексоры, сумматоры, арифметико-логические устройства, перемножители, элементы памяти, счетчики импульсов, операционные усилители, компараторы, интеграторы, дифференциаторы, инвертирующие и неинвертирующие усилители и другие устройства.

Уделено внимание различным способам согласования работы устройств цифровой и аналоговой техники. Рассмотрен импульсный частотно-фазовый дискриминатор, который нашел широкое применение в системах связи и электроприводе.

Предназначено для студентов, обучающихся по магистерскому направлению 140208.68, по специальности 210106.65 и по направлению 200100.62 очной, очно–заочной и заочной форм обучения, в том числе с использованием дистанционных технологий обучения.

*Печатается по решению редакционно-издательского совета
Омского государственного технического университета*

УДК 004.312:621.37/.39(075)

ББК 32.844я73

ISBN 978-5-8149-0944-2

© ГОУ ВПО «Омский государственный
технический университет», 2010

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	4
1. МАТЕМАТИЧЕСКИЕ ОСНОВЫ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ	5
1.1. Понятие системы счисления. Ее типы	5
1.2. Основы алгебры логики	8
1.2.1. Логические функции	8
1.2.2. Правила алгебры логики	10
1.2.3. Составление логических функций	11
1.2.4. Минимизация логических функций	12
2. СХЕМОТЕХНИЧЕСКИЕ ОСНОВЫ РЕАЛИЗАЦИИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ	15
2.1. Принципы построения простейших логических элементов	15
3. ЛОГИЧЕСКИЕ УСТРОЙСТВА	17
3.1. Комбинационные логические устройства	17
3.1.1. Простейшие логические элементы	17
3.1.2. Сложные логические элементы	17
3.1.3. Реализация логических функций на логических элементах	18
3.1.4. Дешифраторы.....	18
3.1.5. Шифраторы	21
3.1.6. Демультимплексоры и мультимплексоры	23
3.1.7. Цифровые вычислительные устройства	24
3.2. Тактируемые цифровые устройства.....	31
3.2.1. Цифровые запоминающие устройства	31
3.2.2. Счётчики импульсов	46
3.2.3. Распределители сигналов	53
3.2.4. Импульсный частотно-фазовый дискриминатор	55
3.3. Устройства согласования работы цифровых устройств	60
4. УСТРОЙСТВА, СОГЛАСУЮЩИЕ РАБОТУ ЭЛЕМЕНТОВ ЦИФРОВОЙ И АНАЛОГОВОЙ ТЕХНИКИ.....	62
4.1. Цифроаналоговые преобразователи.....	62
4.2. Аналогово-цифровые преобразователи	63
4.2.1. АЦП со сравнением входного преобразуемого сигнала с дискретными уровнями напряжений.....	63
4.2.2. АЦП с зарядом конденсатора (интегрирующие АЦП).....	67
5. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ	72
5.1. Усилители с отрицательной обратной связью.	72
5.2. Инвертирующий и неинвертирующий усилители	75
5.3. Дифференциальные усилители	76
5.4. Интеграторы.....	76
5.5. Дифференциаторы	77
5.6. Перемножители напряжений	78
5.7. Компараторы.....	79
5.8. Аналоговые ключи	80
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	81

ВВЕДЕНИЕ

В настоящее время невозможно представить отрасль промышленности, в которой не использовались бы электронные приборы или электронные устройства измерительной техники, автоматики и вычислительной техники. Причем тенденция развития такова, что доля электронных информационных устройств и устройств автоматики непрерывно увеличивается. Это является результатом развития интегральной технологии, внедрение которой позволило наладить массовый выпуск дешевых, высококачественных, не требующих специальной настройки и наладки микроэлектронных функциональных узлов различного назначения.

Промышленность выпускает почти все электронные функциональные узлы, необходимые для создания устройств той или иной отрасли: интегральные электронные усилители электрических сигналов; коммутаторы; логические элементы; перемножители электрических напряжений; триггеры; счетчики импульсов; регистры; сумматоры и т.д. Выпускаются микропроцессоры и микропроцессорные комплекты, представляющие собой вычислительную машину или ее основные узлы, изготовленные в одном корпусе или в нескольких малогабаритных корпусах.

Эффективное применение интегральных микросхем, особенно аналогового типа, невозможно без знания принципов их действия и основных параметров.

В учебном пособии достаточно широко рассмотрены математические основы проектирования цифровых устройств, позволяющие создавать цифровые схемы, требующие минимальное количество элементов для своего функционирования и малое время формирования выходных сигналов.

Важным вопросом является сопряжение устройств цифровой и аналоговой техники. Часто неверно выбранный способ преобразования одного типа сигнала в другой ведет к малоэффективной работе устройства, узла или блока.

Учебное пособие будет полезно для студентов, бакалавров и магистров, изучающих основы цифровой и аналоговой схемотехники.

1. МАТЕМАТИЧЕСКИЕ ОСНОВЫ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ

Математические основы проектирования цифровых устройств включают в себя понятие о *двоичной системе счисления* и *булеву алгебру (алгебра логики)*, определяющую действия с двоичными числами. Рассмотрим понятие системы счисления и основы алгебры логики.

1.1. ПОНЯТИЕ СИСТЕМЫ СЧИСЛЕНИЯ. ЕЕ ТИПЫ

Системой счисления называют символический метод записи числа, представление числа с помощью письменных знаков. Различные системы счисления, которые существовали раньше и которые используются в настоящее время, делятся на две группы: *непозиционные* и *позиционные*.

Системы счисления, в которых каждой цифре соответствует величина, не зависящая от ее места в записи числа, называются непозиционными. К таким, например, относится римская система записи чисел.

$$\text{XXXIV} = 10 + 10 + 10 - 1 + 5 = 3 \times 10 + -1 + 5 = 34.$$

Наиболее широко используются *позиционные системы счисления* – системы записи чисел, в которых вклад каждой цифры в величину числа зависит от ее положения (позиции) в последовательности цифр, изображающей число.

Вклад цифры в величину числа определяется ее *весовым коэффициентом* q^i , где q – *основание системы счисления*, определяющее количество используемых для записи числа цифр; i – *позиция* в последовательности цифр, изображающей число.

Наша привычная десятичная система является позиционной, ее основание q равно 10 и использует цифры от 0 до 9. Например, в числе 34 цифра 3 имеет весовой коэффициент 10^1 и вносит вклад в число $3 \times 10^1 = 30$, а цифре 4 соответствует величина $4 \times 10^0 = 4$:

$$3 \times 10^1 + 4 \times 10^0 = 30 + 4 = 34.$$

В числе 304 цифра 3 имеет уже весовой коэффициент 10^2 , и ей будет соответствовать величина $3 \times 10^2 = 300$. Расписывая подобным образом цифры 0 и 4, с учетом их позиции i , получим:

$$3 \times 10^2 + 0 \times 10^1 + 4 \times 10^0 = 300 + 0 + 4 = 304.$$

Из приведенных примеров видно, что чем больше позиция цифры, тем больше ее вес.

Этому же правилу подчиняются цифры дробной части числа, например, 34,25 распишется как

$$3 \times 10^1 + 4 \times 10^0 + 2 \times 10^{-1} + 5 \times 10^{-2} = 30 + 4 + 0,2 + 0,05 = 34,25.$$

Изменяя основание системы q , можно создать сколь угодно много позиционных систем счисления: двоичную ($q = 2$), троичную ($q = 3$), четверичную ($q = 4$) и т.д.

На сегодняшний день в цифровой схемотехнике, помимо десятичной, широко применяются *двоичная, восьмеричная и шестнадцатеричная системы счисления*. Их основания q равны 2, 8 и 16, а весовые коэффициенты i -ой позиции определяются как 2^i , 8^i и 16^i соответственно.

Двоичная система счисления использует всего две цифры: 0 и 1. Поэтому число $2_{(10)}$, записанное в десятичной системе счисления, в двоичной будет выглядеть как $10_{(2)}$. При этом нельзя произносить "ДЕСЯТЬ", поскольку этой записи соответствует число ДВА. Все числа, записанные в отличной от десятичной системы счисления, произносятся по цифрам, т.е. $10_{(2)}$ – это "ОДИН, НОЛЬ", а не "ДЕСЯТЬ". Чтобы отличить одну форму записи числа от другой, будем в индексе числа в скобках указывать соответствующее системе счисления основание.

Восьмеричная система счисления использует восемь цифр: 0 – 7. Число $34_{(10)}$ в ней будет иметь вид $42_{(8)}$. И помним, что это не "СОРОК ДВА", а "ЧЕТЫРЕ, ДВА".

И последняя, которая нас интересует, – это *шестнадцатеричная система счисления*. Как отмечалось выше, ее основание $q = 16$, поэтому количество цифр будет тоже 16: 0-9, А, В, С, D, Е, F. Обозначение недостающих цифр заимствовано из латинского алфавита. Цифре А соответствует десятичное число 10, цифре В – 11 и т.д. Число $110_{(10)}$ в шестнадцатеричной системе выглядит как $6E_{(16)}$.

Перевод чисел из десятичной системы счисления в любую не десятичную

ПРАВИЛО! Исходное десятичное число делят на основание целевой системы нацело. Остаток от деления записывают в младший разряд получаемого числа, а результат деления снова делят на основание целевой системы. Остаток от деления записывают в следующий более старший разряд. Процесс деления продолжают до тех пор, пока результат не станет нулевым.

Пример:

$110_{(10)} \rightarrow X_{(2)}$	Остаток	$110_{(10)} \rightarrow X_{(8)}$	Остаток	$110_{(10)} \rightarrow X_{(16)}$	Остаток
$110:2 = 55$	0	$110:8 = 13$	6	$110:16 = 6$	E(14)
$55:2 = 27$	1	$13:8 = 1$	5	$6:16 = 0$	6
$27:2 = 13$	1	$1:8 = 0$	1		
$13:2 = 6$	1			$X_{(16)} = 6E$	
$6:2 = 3$	0	$X_{(8)} = 156$			
$3:2 = 1$	1				
$1:2 = 0$	1				
$X_{(2)} = 1101110$					

Получившиеся остатки деления записываются снизу вверх. Следует обратить внимание, что чем больше основание системы счисления q , тем компактней запись числа X .

Перевод чисел из любой не десятичной системы счисления в десятичную

ПРАВИЛО! Каждую цифру исходного числа умножают на ее весовой коэффициент, а затем получившиеся произведения складывают.

Пример:

$$1101110_{(2)} \rightarrow X_{(10)} = 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 = 110_{(10)};$$

$$156_{(8)} \rightarrow X_{(10)} = 1 \times 8^2 + 5 \times 8^1 + 6 \times 8^0 = 110_{(10)};$$

$$6E_{(16)} \rightarrow X_{(10)} = 6 \times 16^1 + E(14) \times 16^0 = 110_{(10)}.$$

Поскольку умножение нуля на его весовой коэффициент дает нуль, переводить двоичное число в десятичное можно гораздо быстрее и не расписывать так, как это сделано в примере. Для этого достаточно над каждой цифрой двоичного числа написать ее весовой коэффициент, далее сложить только те весовые коэффициенты, напротив которых стоит единица. Получившаяся сумма даст десятичную форму записи числа.

Пример:

$$\begin{array}{ccccccc} 64 & 32 & 16 & 8 & 4 & 2 & 1 \\ 1 & 1 & 0 & 1 & 1 & 1 & 0_{(2)} & \rightarrow 64 + 32 + 8 + 4 + 2 = 110_{(10)} \\ & & 1 & 0 & 0 & 1 & 1_{(2)} & \rightarrow 16 + 2 + 1 = 19_{(10)} \end{array}$$

Легко заметить, что весовые коэффициенты любых двух соседних цифр двоичного числа отличаются друг от друга ровно в два раза.

Перевод чисел из двоичной системы счисления в шестнадцатеричную (восьмеричную) и обратно

Таблица 1.1

Числовой ряд

$X_{(10)}$	$X_{(2)}$	$X_{(16)}$	$X_{(8)}$
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4
5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	8	
9	1001	9	
10	1010	A	
11	1011	B	
12	1100	C	
13	1101	D	
14	1110	E	
15	1111	F	

ПРАВИЛО! Исходное двоичное число разбивают, начиная справа, на группы по четыре (три) цифры, затем каждую группу преобразуют в шестнадцатеричную (восьмеричную) цифру, в соответствии с таблицей 1.1.

ПРАВИЛО ОБРАТНОГО ПЕРЕВОДА!

Каждую шестнадцатеричную (восьмеричную) цифру числа преобразовать в группу из четырех (трех) двоичных цифр по той же таблице.

Пример:

$$\begin{array}{l} X_{(2)} = 0010 \ 1110 \ 0010 \ 1011 \ 1100 \ 0101 \ 0010 \\ \downarrow \uparrow \quad \downarrow \uparrow \\ X_{(16)} = \quad 2 \quad E \quad 2 \quad B \quad C \quad 5 \quad 2 \end{array}$$

$$\begin{array}{l} X_{(2)} = 010 \ 111 \ 000 \ 101 \ 011 \ 110 \ 001 \ 010 \ 010 \\ \downarrow \uparrow \quad \downarrow \uparrow \\ X_{(8)} = \quad 2 \quad 7 \quad 0 \quad 5 \quad 3 \quad 6 \quad 1 \quad 2 \quad 2 \end{array}$$

1.2. ОСНОВЫ АЛГЕБРЫ ЛОГИКИ

Основой проектирования цифровых устройств является *алгебра логики*, разработанная ирландским математиком Джорджем Булем (1815–1864 гг.). В ее основе лежат две цифры – 0 и 1, поэтому эта алгебра работает с двоичной системой счисления.

1.2.1. Логические функции

Так же, как и в обычной алгебре, в алгебре логики существует понятие функции – *логическая (булева) функция*. *Функция* – это переменная величина, зависящая от одного или нескольких аргументов и описываемая определенным образом. *Аргумент* – это независимая переменная величина, определяющая значение функции. Например, в выражении $y = \sin(x)$, x является аргументом, y – функцией, а \sin – это описание функции.

В алгебре логики существует несколько способов описания логической функции. Основными из них являются:

- словесная форма (функция описывается привычным для человека языком);
- таблица истинности или состояний (специальная таблица, где каждой комбинации аргументов функции ставится в соответствие некоторое ее значение);
- алгебраическое выражение (запись функции, где она выражается через символы аргументов и операций, выполняемых над аргументами).

Булевы функции одной переменной $y = f(x)$. В таких функциях имеется только один аргумент x , именно он и выполняемая над ним операция будут определять значение функции y . В таблице 1.2 перечислены возможные функции,

Таблица 1.2

Булевы функции одной переменной

$$y = f(x)$$

	x	Обозначение	Название
	01		
$y = f(x)$	00	$y = 0$	Константа 0
	01	$y = x$	Переменная x
	10	$y = \bar{x}$	Не x , отрицание, инверсия
	11	$y = 1$	Константа 1

их обозначения и названия. Первая функция называется *константа 0*, она всегда принимает нулевое значение независимо от значения аргумента x . Вторая принимает такое же значение, что и аргумент x . Третья имеет противоположное значение аргумента x и обозначается чертой над ним. Последняя, так же, как и первая, не зависит от аргумента, но, в отличие от нее, принимает всегда единичное значение.

Булевы функции двух переменных $y = f(x_1, x_2)$. Здесь функций будет 16 (табл. 1.3).

Булевы функции двух переменных $y = f(x_1, x_2)$

		Обозначение	Название
x_2	x_1		
	0 0 1 1		
	0 1 0 1		
$y = f(x_1, x_2)$	0 0 0 0	$y = 0$	Константа 0
	0 0 0 1	$y = x_1 x_2 = x_1 \wedge x_2$	Логическое умножение, логическая И, конъюнкция
	0 0 1 0	$y = \overline{x_1} x_2 = x_2 \Delta x_1$	Запрет по x_1
	0 0 1 1	$y = x_2$	Переменная x_2
	0 1 0 0	$y = x_1 \overline{x_2} = x_1 \Delta x_2$	Запрет по x_2
	0 1 0 1	$y = x_1$	Переменная x_1
	0 1 1 0	$y = \overline{x_1} x_2 + x_1 \overline{x_2} = x_2 \oplus x_1$	Неравнозначность, исключающее ИЛИ, суммирование по модулю 2
	0 1 1 1	$y = x_1 + x_2 = x_1 \vee x_2$	Логическое сложение, логическая ИЛИ, дизъюнкция
	1 0 0 0	$y = \overline{\overline{x_1 + x_2}} = x_1 \downarrow x_2$	Стрелка Пирса
	1 0 0 1	$y = x_1 x_2 + \overline{x_1} \overline{x_2} = \overline{x_2 \oplus x_1}$	Равнозначность
	1 0 1 0	$y = \overline{x_1}$	Не x_1
	1 0 1 1	$y = \overline{x_1} + x_2 = x_1 \rightarrow x_2$	Импликация от x_1 к x_2
	1 1 0 0	$y = \overline{x_2}$	Не x_2
	1 1 0 1	$y = x_1 + \overline{x_2} = x_2 \rightarrow x_1$	Импликация от x_2 к x_1
	1 1 1 0	$y = \overline{x_1} \overline{x_2} = x_1 / x_2$	Штрих Шеффера
1 1 1 1	$y = 1$	Константа 1	

Из всего приведенного в таблице списка следует выделить шесть функций:

$$y = \overline{x}; \quad y = x_1 x_2; \quad y = x_1 + x_2; \quad y = \overline{x_1 x_2}; \quad y = \overline{x_1 + x_2}; \quad y = x_1 \oplus x_2.$$

Они называются *основными логическими функциями*.

При вычислении значения сложных логических функций, состоящих из множества операций, следует учитывать их приоритет. Наивысшим приоритетом обладает отрицание (НЕ), потом логическое умножение (И). Далее следует логическое сложение (ИЛИ) и, наконец, исключающее ИЛИ.

Понятие функциональной полноты. Группа простейших логических функций считается *функционально полной*, если с помощью входящих в неё функций можно получить любую другую существующую функцию. Например, таким свойством обладают следующие группы функций:

$$\begin{array}{llll} y = x_1 x_2; & & & \\ y = x_1 + x_2; & y = x_1 x_2; & y = x_1 + x_2; & \\ y = \overline{x}; & y = \overline{x}; & y = \overline{x}; & y = \overline{x_1 x_2}; \quad y = \overline{x_1 + x_2}. \end{array}$$

При реализации логических схем, соответствующих логическим функциям, удобно задать набор элементов, обладающих функциональной полнотой,

чтобы в дальнейшем, с помощью этого набора, можно было реализовать любую функцию. В качестве такого набора элементов используется набор, который реализует *основные логические функции*. Меньшие наборы, обладающие функциональной полнотой, использовать нецелесообразно, т.к. в этом случае требуется большое количество элементов для их реализации и аппаратная часть проектируемого цифрового устройства сильно возрастает. Например, если взять функцию, записанную с помощью первого набора $y = \bar{x}$; $y = x_1x_2$; $y = x_1 + x_2$, и ту же самую функцию, но записанную с помощью набора, состоящего из одной функции $y = \overline{x_1x_2}$, то можно заметить, что чем больше функций входит в систему, обладающую функциональной полнотой, тем компактней получается запись.

$$\begin{aligned}
 y &= x_1x_2 + x_2x_3 + x_1x_3 = \\
 &= x_1x_2 + x_2x_3 + x_1x_3 \\
 &= \overline{\overline{x_1x_2 + x_2x_3 + x_1x_3}} = \overline{\overline{x_1x_2} \overline{x_2x_3} \overline{x_1x_3}} \\
 &= \overline{\overline{x_1x_2} \overline{x_2x_3} \overline{x_1x_3}} = \\
 &= \overline{\overline{\overline{\overline{x_1x_2} \overline{x_2x_3} \overline{x_1x_3}}}} = \overline{\overline{\overline{x_1x_2} \overline{x_2x_3} \overline{x_1x_3}}}
 \end{aligned}$$

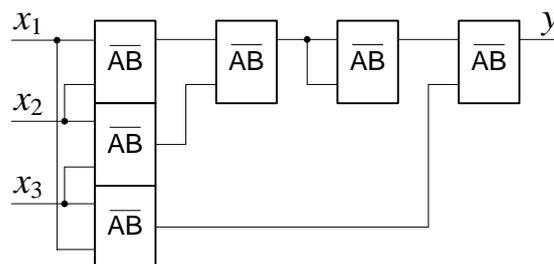


Рис. 1.1. Реализация логической функции на элементах \overline{AB}

1.2.2. Правила алгебры логики

Правила или законы алгебры логики отображают зависимости, существующие между операциями, выполняемыми над логическими переменными. Приведем наиболее важные из них.

1. Закон двойного отрицания
 $x = \overline{\overline{x}}$.
2. Коммутативные законы
 $xy = yx$
 $x + y = y + x$.
3. Идемпотентные законы
 $xx = x$
 $x + x = x$.
4. Ассоциативные законы
 $xy z = x(yz)$
 $x + y + z = x + (y + z)$.
5. Дистрибутивные законы
 $x(y + z) = xy + xz$
 $x + yz = (x + y)(x + z)$.
6.
 - $xx = 0$ — закон противоречия
 - $x + x = 1$ — закон исключения третьего
 - $x \cdot 1 = x$ — закон единицы для конъюнкции
 - $x + 0 = x$ — закон нуля для дизъюнкции

$x \cdot 0 = 0$ — закон единицы для конъюнкции

$x + 1 = 1$ — закон нуля для дизъюнкции.

7. Законы двойственности (теоремы де Моргана, Огастес де Морган – шотландский математик и логик, 1806–1871 гг.)

$$\overline{xy} = \overline{x} + \overline{y}$$

$$\overline{x + y} = \overline{x} \cdot \overline{y}.$$

8. Законы поглощения

$$x + xy = x$$

$$x \cdot (x + y) = x.$$

Все теоремы, кроме первой, записаны парами, причем каждая из теорем пары является двойственной другой, так как из одной теоремы пары можно получить другую на основании **принципа двойственности**, который гласит, что если в условиях, определяющих операцию И, значения всех переменных и самой функции заменить их инверсией, а знак логического умножения – знаком логического сложения, то получим операцию ИЛИ и наоборот. Теорема двойного отрицания – самодвойственная.

1.2.3. Составление логических функций

Логическая функция составляется по описанию результатов действий над аргументами, исходя из поставленной задачи. При описании логической функции алгебраическим выражением используются две стандартные формы ее представления.

Дизъюнктивной нормальной формой (ДНФ) называется логическая сумма элементарных логических произведений, в каждое из которых аргумент или его инверсия входят один раз.

Конъюнктивной нормальной формой (КНФ) называется логическое произведение элементарных логических сумм, в каждую из которых аргумент или его инверсия входят один раз.

Порядок составления логической функции:

а) в первую очередь определяется количество используемых аргументов и для них записывается таблица состояний;

б) в этой таблице с левой стороны записываются все возможные сочетания аргументов, а в правой части – значения функции или, если необходимо, значения нескольких функций;

в) чтобы получить **ДНФ**, из таблицы выбирают строки, в которых функция равна единице, для них записывают произведение всех аргументов (если аргумент равен нулю, то он берётся с инверсией), а затем все полученные произведения (**конституенты единицы**) суммируют. Для получения **КНФ** из таблицы выбирают строки, в которых функция равна нулю, для них записывают суммы всех аргументов (если аргумент равен единице, то он берётся с инверсией), а затем все полученные суммы (**конституенты нуля**) умножаются. Полученные таким образом **ДНФ** и **КНФ** называются **совершенными (СДНФ и СКНФ)**.

Таблица 1.4

Таблица состояний

$x_3x_2x_1$	y
0 0 0	0
0 0 1	0
0 1 0	0
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	1
1 1 1	1

$$x_3 + x_2 + x_1$$

$$x_3 + x_2 + x_1$$

$$x_3 + x_2 + x_1$$

$$x_3x_2x_1$$

$$x_3 + x_2 + x_1$$

$$x_3x_2x_1$$

$$x_3x_2x_1$$

$$x_3x_2x_1$$

Пример. Записать СДНФ и СКНФ функции трёх аргументов, которая равна единице, когда не менее двух аргументов равны единице (табл. 1.4).

Решение. Из условия задачи имеем три аргумента: x_1 , x_2 и x_3 . Перечислим в левом столбце таблицы истинности всевозможные комбинации значений аргументов, а в правом – соответствующие им значения функции y . Для каждой строки составим логическую сумму или логическое произведение аргументов в соответствии с пунктом в) порядка составления функций (табл. 1.4).

$$\text{СДНФ: } y = x_3x_2x_1 + x_3x_2x_1 + x_3x_2x_1 + x_3x_2x_1.$$

$$\text{СКНФ: } y = x_3 + x_2 + x_1 \quad x_3 + x_2 + x_1 \quad x_3 + x_2 + x_1 \quad x_3 + x_2 + x_1 .$$

1.2.4. Минимизация логических функций

С помощью минимизации достигается более короткая и понятная запись функции. Наиболее распространены два способа минимизации – это правила алгебры логики и карты Вейча или Карно. Минимизация первым способом требует творческого подхода и не всегда таким путем удастся получить наиболее простую функцию. Поэтому были разработаны специальные карты, представляющие собой видоизмененные таблицы состояний, с помощью которых упрощается процесс минимизации.

Карта Вейча – это прямоугольная таблица, число клеток в которой для логической функции n переменных равно 2^n . Каждой из клеток поставлен в соответствие некоторый набор входных переменных, причем рядом расположенным клеткам соответствуют соседние наборы входных переменных (кодов), а в самих клетках записаны значения функции, определенные для этих кодов.

Карты Карно используются при проектировании помехозащищенных кодов и отличаются от карт Вейча только расположением аргументов.

Функция называется **полностью определенной**, если заданы ее значения для всех наборов входных переменных. При минимизации логической функции используют либо ее нулевые, либо единичные значения. В обоих случаях получают равносильные выражения, которые, однако, могут отличаться по числу членов и выполняемым логическим операциям.

Алгоритм минимизации логической функции сводится к следующему:

- 1) для логической функции составляется таблица состояний;
- 2) в ячейки карты записываются значения функции из таблицы состояний;
- 3) выделяют на карте группу единиц (нулей) функции, закрываемых прямоугольниками со сторонами 2^k (где k – целое число), с учётом возможности

склеивания противоположных сторон карты. Для лучшей минимизации прямоугольнички нужно выбирать так, чтобы площадь была наибольшей, при этом возможно частичное наложение прямоугольничков друг на друга. Задача состоит в том, чтобы минимальное количество прямоугольничков закрывало, не захватывая нулей (единиц), все единицы (нули) карты;

4) для каждого прямоугольничка записывают логическую функцию в виде логического умножения аргументов, которые для данного прямоугольничка не изменяют своё значение. Произведения носят название **импликанты**;

5) полностью минимизированная логическая функция получается путём логического сложения импликантов.

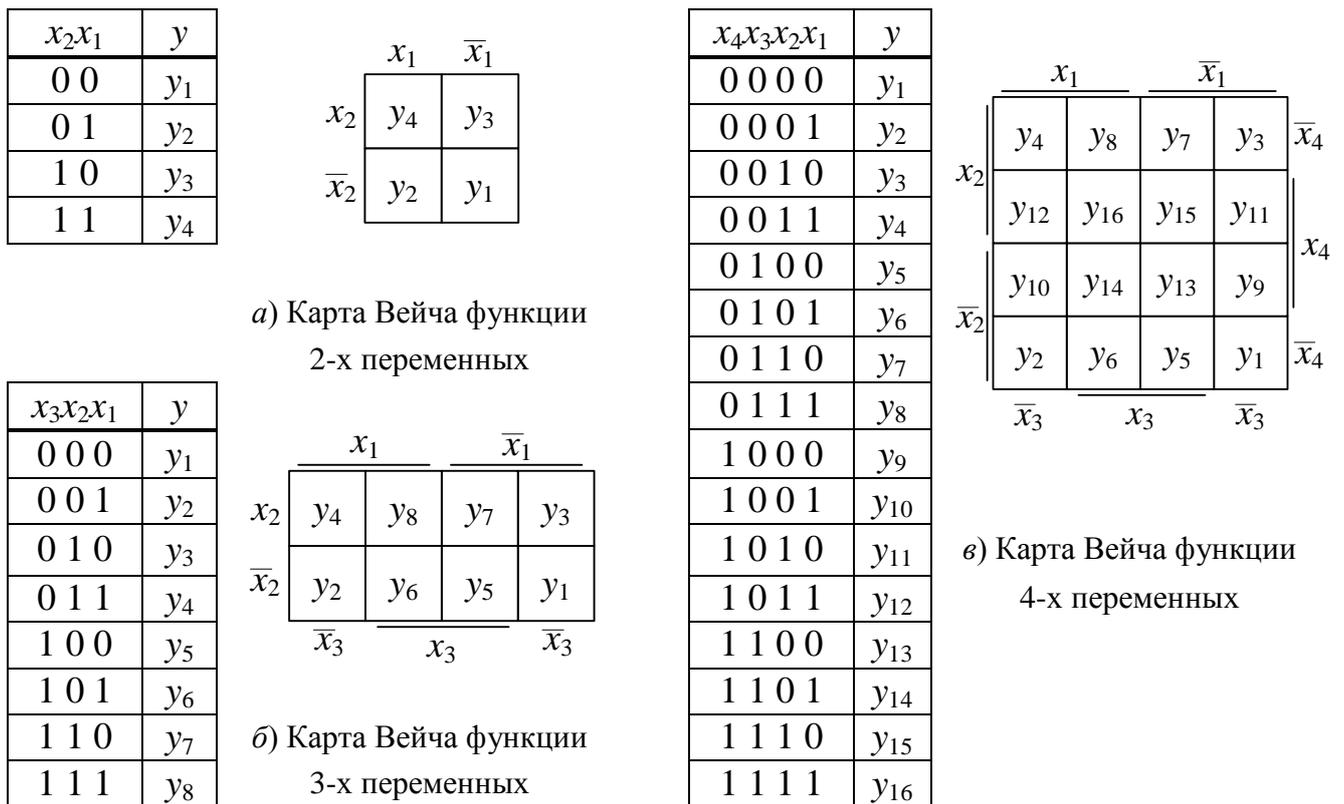


Рис. 1.2. Карты Вейча

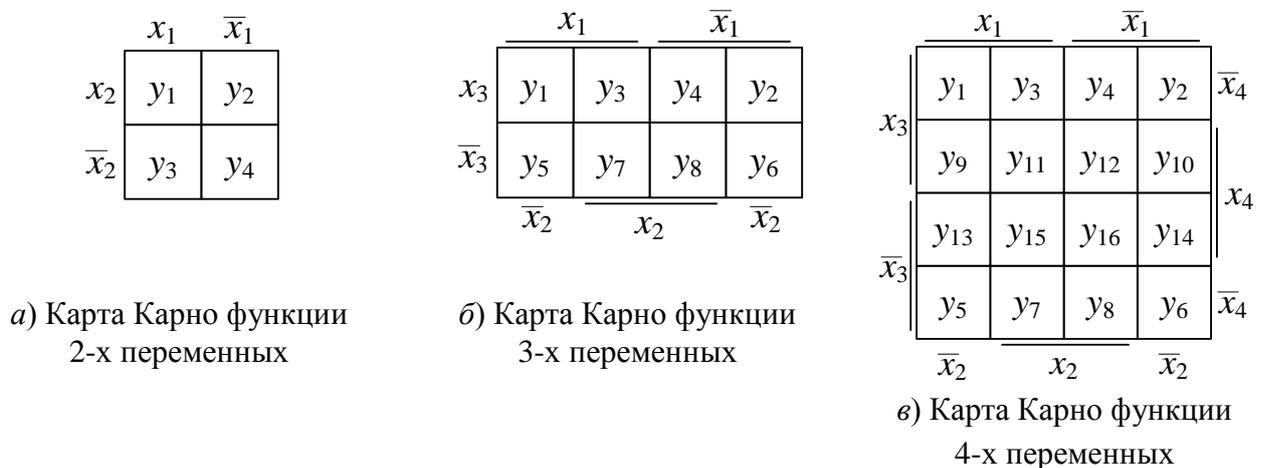


Рис. 1.3. Карты Карно

При выделении клеток с единичными значениями логической функции получают *минимальную ДНФ (МДНФ)* самой функции, а при выделении клеток с нулевыми значениями функции – МДНФ функции, инверсной заданной. Применяя к полученной инверсной МДНФ теоремы де Моргана, получаем *минимальную КНФ (МКНФ)*. Для нахождения наиболее простого технического решения желательно проводить минимизацию как для нулевых, так и для единичных значений логической функции и из полученных выражений выбирать простейшее.

Пример. Минимизировать логическую функцию, заданную таблицей состояний 1.5.

Таблица 1.5

Таблица состояний

$x_3x_2x_1$	y
0 0 0	0
0 0 1	0
0 1 0	0
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	1
1 1 1	1

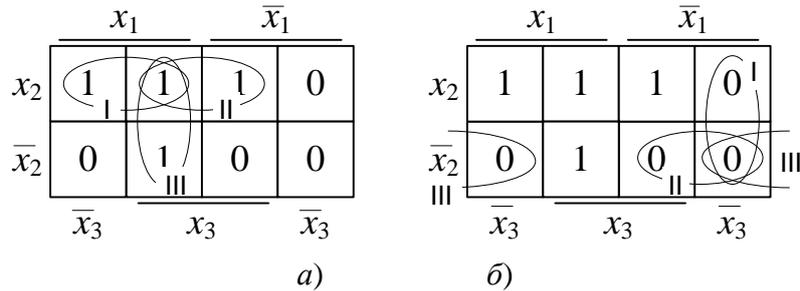


Рис. 1.4. Карты Вейча

а) I: x_1x_2 ; II: x_2x_3 ; III: x_1x_3 б) I: $\bar{x}_1\bar{x}_3$; II: $\bar{x}_1\bar{x}_2$; III: $\bar{x}_2\bar{x}_3$
 $y = x_1x_3 + x_1x_2 + x_2x_3$ $y = \bar{x}_1\bar{x}_3 + \bar{x}_1\bar{x}_2 + \bar{x}_2\bar{x}_3$
 $y = x_1 + x_3 \quad x_1 + x_2 (x_2 + x_3)$

Недоопределенной называется логическая функция, значения которой заданы не на всех наборах входных переменных. При минимизации недоопределенной логической функции ее факультативные значения доопределяются произвольно из условия получения на карте Вейча (Карно) наименьшего числа максимально больших областей, что приводит к минимальной функции и простейшей технической реализации.

Пример. Минимизировать логическую функцию, заданную таблицей 1.6.

Таблица 1.6

Таблица состояний

$x_3x_2x_1$	y
0 0 0	-
0 0 1	0
0 1 0	1
0 1 1	-
1 0 0	1
1 0 1	-
1 1 0	-
1 1 1	1

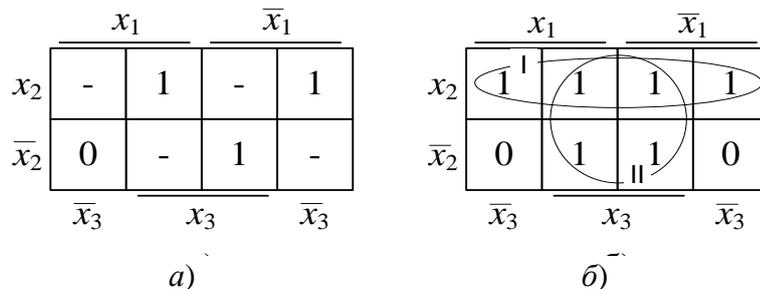


Рис. 1.5. Карты Вейча: недоопределенная (а); доопределенная (б)

I: x_2 ; II: x_3 ; $y = x_2 + x_3$.

2. СХЕМОТЕХНИЧЕСКИЕ ОСНОВЫ РЕАЛИЗАЦИИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

2.1. Принципы построения простейших логических элементов

Основными логическими функциями, используемыми при построении логических элементов, являются НЕ, ИЛИ, И.

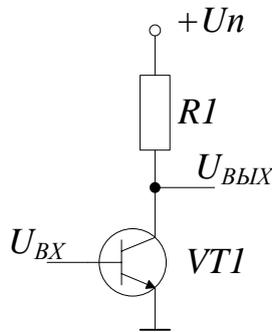


Рис. 2.1.
Инвертирующий усилитель на биполярном транзисторе

В основе логических элементов НЕ лежит инвертирующий усилитель, работающий в ключевом режиме (рис. 2.1). Когда на базе транзистора высокий уровень напряжения, транзистор VT1 открывается и выход инвертора подключается к общему проводу. Если же на базе низкий уровень напряжения, транзистор закрыт и на выходе устанавливается напряжение, близкое к напряжению питания. Низкое напряжение расценивается как логический ноль, а высокое – как логическая единица.

Логический элемент ИЛИ. На рисунке 2.2, а операция ИЛИ реализуется на резистивной сборке R1, R2, R3, а транзистор VT1 выполняет роль усилителя-инвертора. На рисунке 2.2, б VT1 выполняет роль активной нагрузки, а VT2 и VT3 являются транзисторными ключами, реализующими логическую операцию ИЛИ. Совместно транзисторы VT1, VT2 и VT3 реализуют операцию ИЛИ-НЕ. Для появления на выходах схем низкого напряжения необходимо подать высокое напряжение хотя бы на один вход.

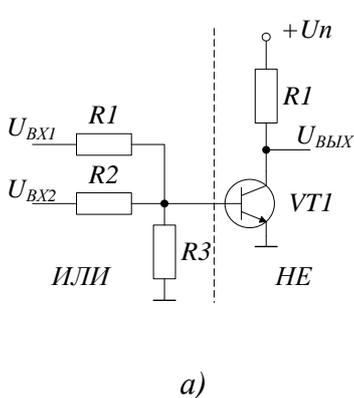


Рис. 2.2. Логический элемент ИЛИ: на биполярных (а); на полевых транзисторах (б)

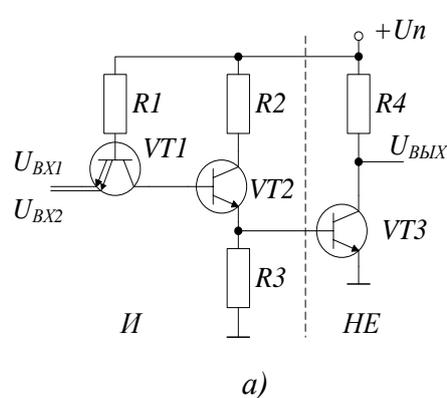
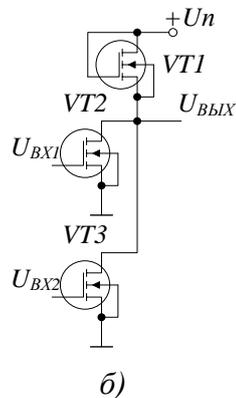


Рис. 2.3. Логический элемент И: на биполярных (а); на полевых транзисторах (б)

Для реализации логического элемента И на биполярных транзисторах используется многоэмиттерная логика (рис. 2.3, а). Элементы VT1, VT2, R1, R2 и R3 реализуют операцию И, а VT3 и R4 обеспечивают инверсию сигнала. Многоэмиттерный транзистор будет закрыт тогда, когда на оба входа подано напряжение, соответствующее логической единице. На рисунке 2.3, б полевые транзисторы VT2 и VT3 включены последовательно, что обеспечивает логиче-

скую операцию И. Таким образом, при подаче на все входы схем высокого уровня напряжения на их выходах будут напряжения низкого уровня.

3. ЛОГИЧЕСКИЕ УСТРОЙСТВА

3.1. КОМБИНАЦИОННЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА

К комбинационным логическим элементам относятся такие элементы, работа которых может быть полностью описана с помощью одной или нескольких логических функций. Они строятся на основе простейших логических элементов.

3.1.1. Простейшие логические элементы

Простейшие логические элементы – это элементы, которые реализуют основные логические функции. К таким функциям относятся:

1. НЕ: $y = \bar{x}$;
2. И: $y = x_1 x_2$;
3. И-НЕ: $y = \overline{x_1 x_2}$;
4. Исключающее ИЛИ: $y = x_1 \bar{x}_2 + \bar{x}_1 x_2$;
5. ИЛИ: $y = x_1 + x_2$;
6. ИЛИ-НЕ: $y = \overline{x_1 + x_2}$.

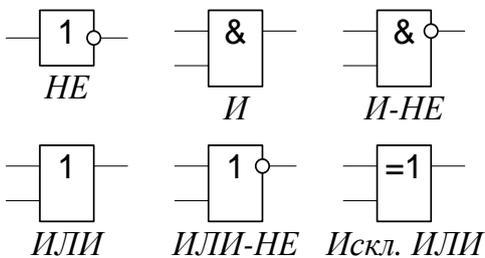


Рис. 3.1. УГО простейших логических элементов

На рисунке 3.1 показаны УГО простейших логических элементов, соответствующих основным логическим функциям. Элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ могут иметь 2, 3 и более входов. В таком случае перед названием элемента ставят число, указывающее на их количество. Например, элемент И с тремя входами будет иметь название 3И, с четырьмя – 4И и т.д. Элемент НЕ имеет только один вход, а Искл. ИЛИ – только два.

3.1.2. Сложные логические элементы

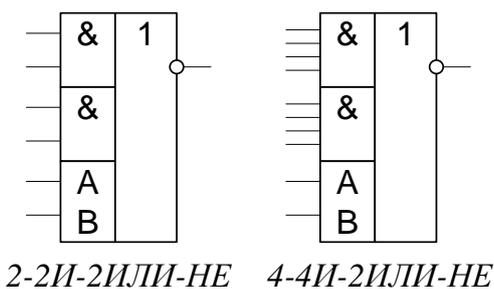


Рис. 3.2. УГО сложных логических элементов

К сложным логическим элементам относятся элементы, реализующие сразу несколько простейших логических функций: И-ИЛИ, И-ИЛИ-НЕ и т.д. Необходимость таких элементов обусловлена формой записи логической функции, включающей в себя как логическое умножение, так и логическое сложение (рис. 3.2).

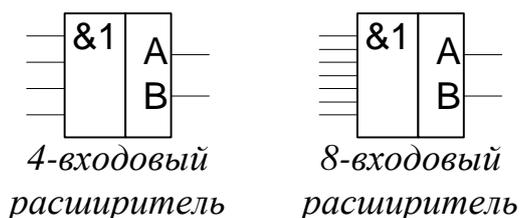


Рис. 3.3. УГО расширителя

Входы расширения А и В представляют собой дополнительные входы предварительного усилителя схемы ИЛИ и могут использоваться для подключения расширителя по ИЛИ. В качестве расширителей используются входные каскады схем И с различным количеством входов (рис. 3.3).

Использование расширителей позволяет расширить функциональные возможности сложных логических элементов при незначительном увеличении потребления тока питания.

3.1.3. Реализация логических функций на логических элементах

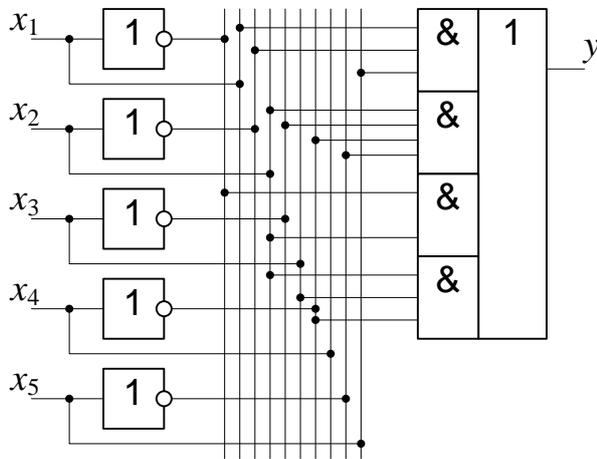


Рис. 3.4. Реализация логической функции на логических элементах

Для реализации логических функций на логических элементах используют три основные операции: *И*, *ИЛИ* и *НЕ*.

Рассмотрим пример. Дана функция $y = x_1 \bar{x}_2 x_5 + x_2 \bar{x}_3 \bar{x}_4 \bar{x}_5 + \bar{x}_1 x_2 + x_2 x_3 \bar{x}_4$. Используя простейшие и сложные элементы, можно получить схему, представленную на рисунке 3.4.

Если при построении логических схем используются незадействованные входы логических элементов, то их нужно подключить либо к низкому или высокому уровню, либо объединить с другими задействованными входами. Выбор зависит от реализуемой элементом логической функции.

3.1.4. Дешифраторы

Дешифраторы осуществляют преобразование входного двоичного кода в унитарный код, т.е. код, включающий в себя одну логическую единицу, а остальные – логические нули. Дешифраторы, например, могут использоваться в многоканальных цифровых системах для выбора одного из каналов в соответствии с входным кодом. Количество выходов *полного* дешифратора N определяется по формуле $N = 2^n$, где n – количество разрядов входного кода. Если же $N < 2^n$, то дешифратор называют *неполным*.

Дешифраторы строят, в основном, по двум схемам: *линейной* (одноступенчатой) и *матричной* (двухступенчатой).

Линейный дешифратор. Схема такого дешифратора строится на основе его таблицы состояний. Рассмотрим линейные дешифраторы 1×2 , 2×4 , 3×8 , где число до знака \times – это количество входов n , а после – количество выходов N (см. рис. 3.5).

Если требуется, чтобы количество выходов дешифратора N было меньше, чем 2^n , то сначала выбирается n из условия $2^{n-1} < N < 2^n$, а затем строится дешифратор для n входов и из него исключаются последние $2^n - N$.

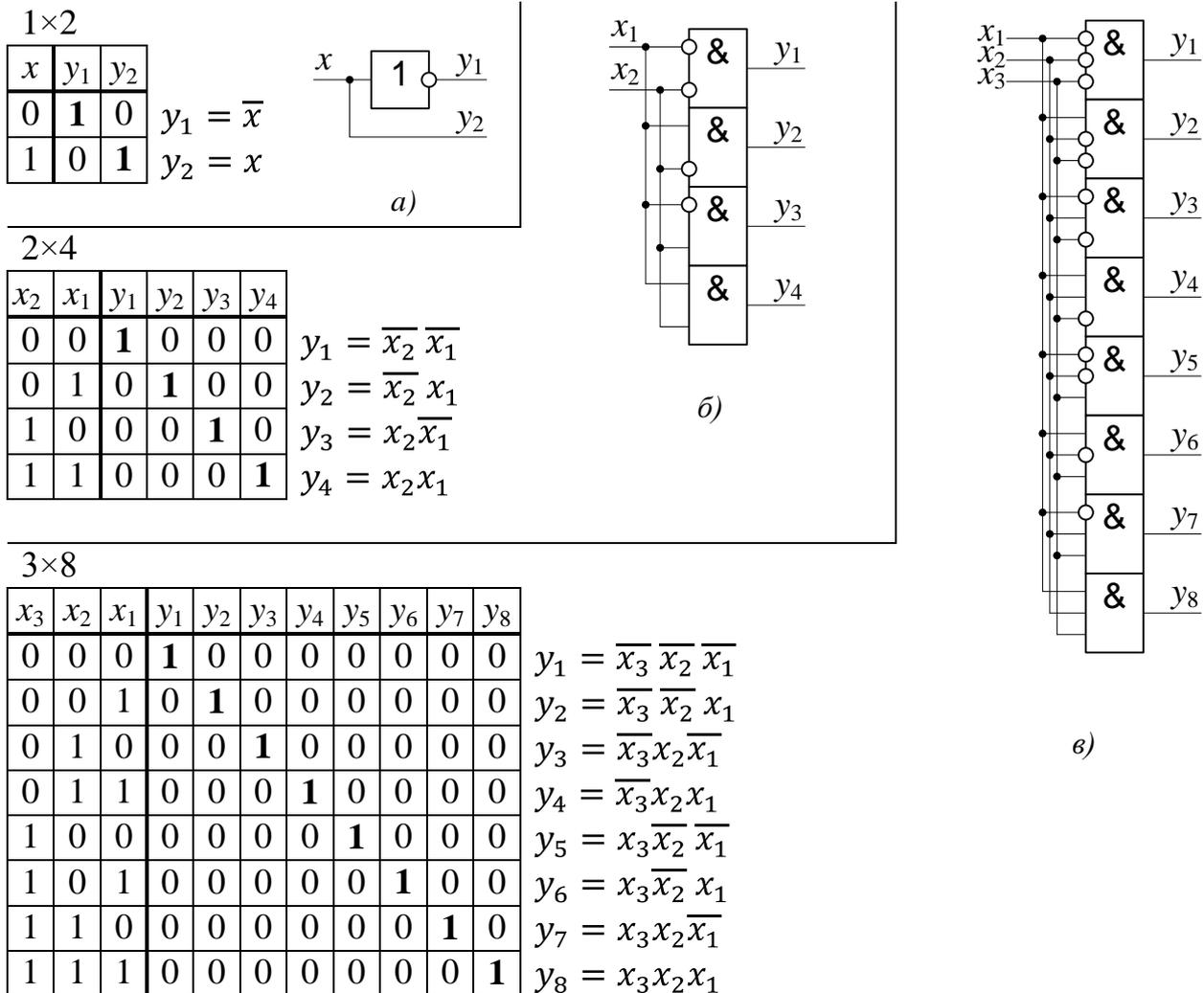


Рис. 3.5. Линейный дешифратор: 1×2 (а); 2×4 (б); 3×8 (в)

Матричный дешифратор. Матричные (двухступенчатые) дешифраторы реализуются по схеме, показанной на рисунке 3.6, а. Они требуют для построения меньшее количество элементов за счёт двухступенчатой схемы преобразования, но имеют более низкое быстродействие, так как преобразование осуществляется в два этапа. Матрица представляет собой N схем 2И, на входы которых подают все возможные сочетания первого ЛД1 и второго ЛД2 дешифраторов. При построении матричных дешифраторов количество входов делят примерно пополам и для каждой получившейся половины используют свой линейный дешифратор. Количество входов дешифратора $n = n_1 + n_2$ (рис. 3.6, б, в).

Стандартные микросхемы дешифраторов построены по принципу линейных дешифраторов, однако практически во всех микросхемах на каждом выходе дешифратора ставится N схем 2И. Вторые входы этих схем объединены и организованы как дополнительный вход микросхемы E (рис. 3.7, а). На рисунке 3.7, б показано условное графическое обозначение двухвходового дешифратора с входом E .

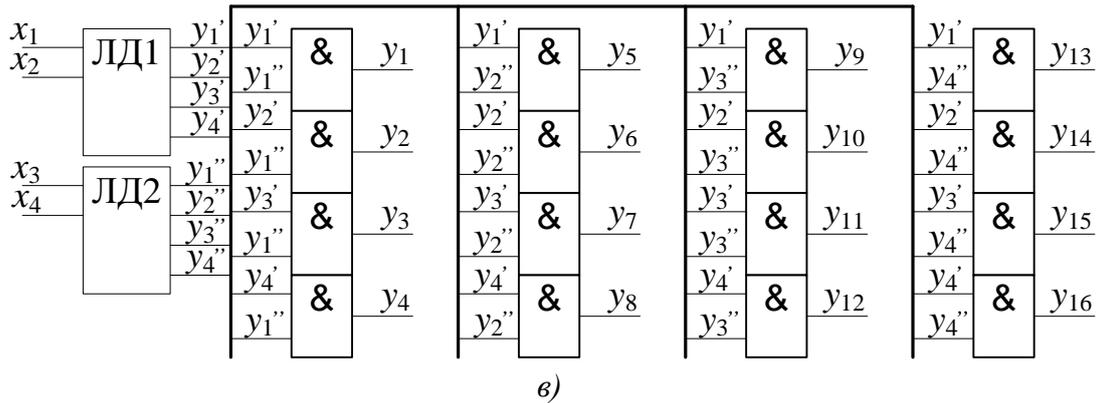
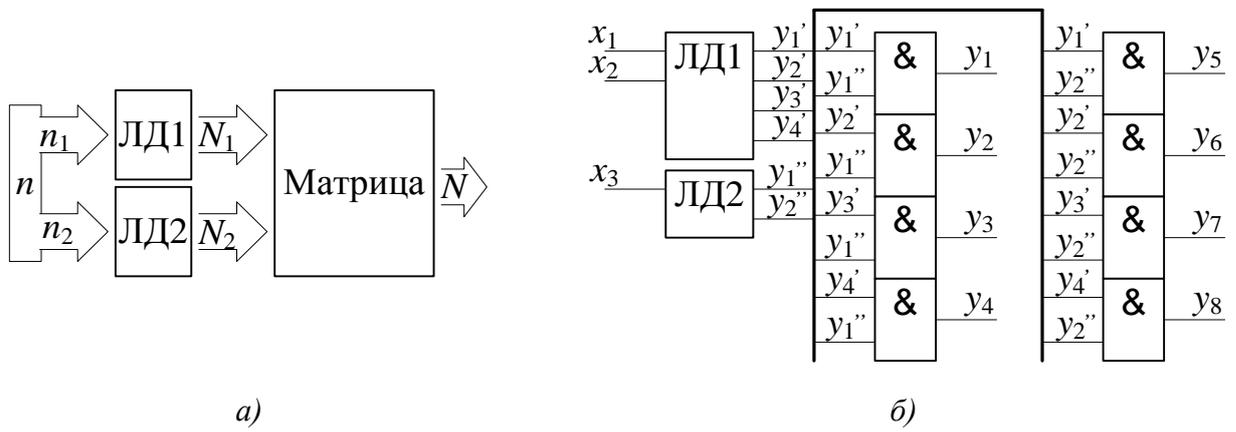


Рис. 3.6. Матричный дешифратор: структурная схема (а); 3x8 (б); 4x16(в)

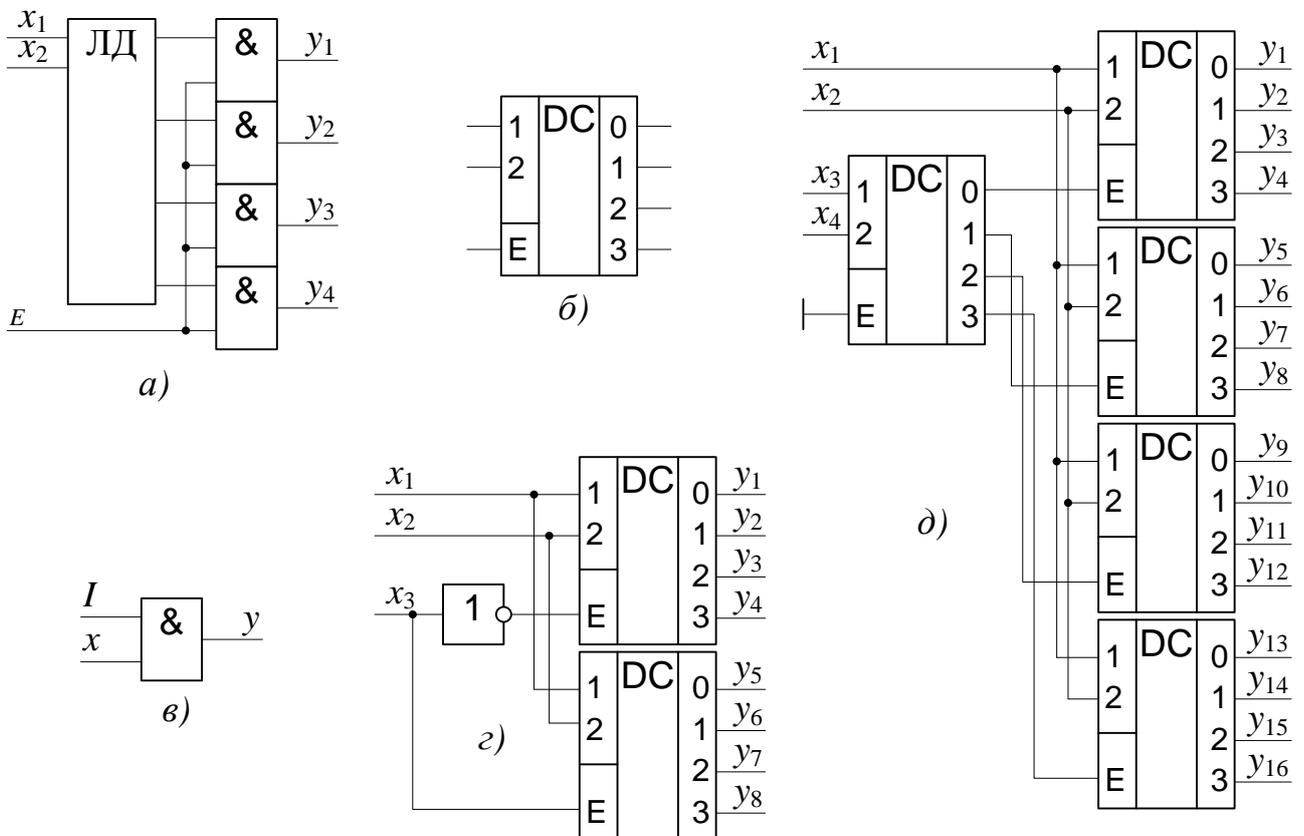


Рис. 3.7. Вход E и его назначение

Назначение входа E :

- 1) разрешение работы дешифратора;
- 2) наращивание разрядности дешифратора;
- 3) организация режима демультиплексора.

В первом случае при подаче на вход E логического нуля или логической единицы можно запрещать или разрешать работу дешифратора. В этом можно легко убедиться, если посмотреть на рисунок 3.7, *a*. Стоящие на выходе дешифратора элементы I ведут себя как цифровые ключи, подключающие или отключающие выходы дешифратора ЛД к ножкам микросхемы. При подаче на вход E логического нуля уже не важно, что будет на другом входе элемента I , результат все равно будет нулевым (дешифратор отключен). А при подаче логической единицы состояние выходов элементов I определяется выходами дешифратора (дешифратор включен). Часто на входе E стоит инвертор. В этом случае разрешающий уровень будет низкий, а запрещающий – высокий. А на УГО элемента вход разрешения работы помечается кружком.

Для наращивания разрядности берется столько микросхем, сколько нужно получить выходов, и одна – для управления (см. рис. 3.7, *z*, *d*). На рисунке 3.7, *d* пятый дешифратор управляет работой первых четырех. Когда на его входы x_3 и x_4 подаются два нуля, на его первом выходе появляется единица, которая разрешает работу первого дешифратора. При других комбинациях x_3 и x_4 работают соответствующие им дешифраторы.

Как упоминалось выше, одним из функциональных назначений схемы $2I$ можно считать использование её в качестве цифрового ключа, имеющего информационный вход I с входом управления x (рис. 3.7, *в*). Если $x = 0$, то $y = I \cdot 0 = 0$ – ключ закрыт. Если $x = 1$ и $y = I \cdot 1 = I$ – ключ открыт и выходной сигнал полностью повторяет входной.

Для реализации режима демультиплексора схемы (рис. 3.7, *a*) вход E используется как информационный. Изменяя сигнал на входах x_1 и x_2 , можно выбрать любой из каналов и открыть его для передачи информации.

3.1.5. Шифраторы

Шифраторы, в отличие от дешифраторов, осуществляют обратную функцию, т.е. преобразуют унитарный код в двоичный. В связи с тем, что на входе шифратора может быть не унитарный код (код, в котором больше одной единицы), шифраторы делают приоритетными, т.е. приоритет отдаётся старшему разряду. Если число входов $N = 2^n$, то шифратор называется *полным*, если $N < 2^n$ – *неполным*.

Таблица 3.1
Таблица состояний

x_2x_1	y
00	0
01	0
10	1
11	1

Пусть разрядность выходного двоичного кода шифратора $n = 1$, тогда разрядность входного унитарного кода $N = 2^n = 2$. Таблицу состояний такого шифратора отражает таблица 3.1. Из таблицы состояний получаем логическую функцию $y = x_2$, т.е. функция y повторяет значение аргумента x_2 .

Если $n = 2$, то $N = 2^n = 4$, а после минимизации, заданной таблицей 3.2, логической функции получим $y_1 = x_4 + x_2\bar{x}_3\bar{x}_4$ и $y_2 = x_3 + x_4$. Этим функциям соответствует схема на рисунке 3.8.

Таблица 3.2

Таблица состояний

$x_4x_3x_2x_1$	y_1y_2
0000	00
0001	00
0010	10
0011	10
0100	01
0101	01
0110	01
0111	01
1000	11
1001	11
1010	11
1011	11
1100	11
1101	11
1110	11
1111	11

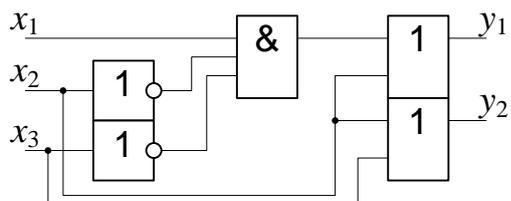


Рис. 3.9. Приоритетный шифратор 4x2

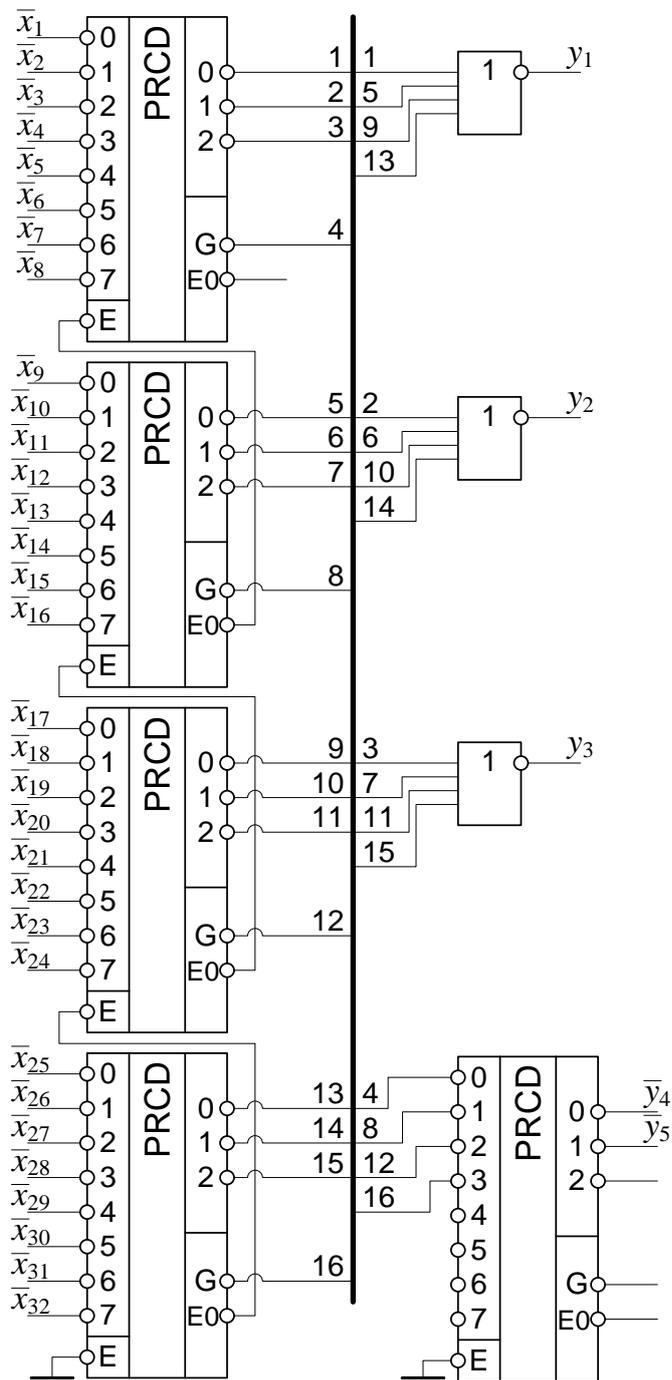


Рис. 3.8. Нарастивание разрядности шифратора на примере микросхемы 155IB1

Нарастивание разрядности шифратора. На рисунке 3.9 показано нарастивание разрядности приоритетного шифратора на примере интегральной микросхемы 155IB1. Вывод E – вход включения шифратора, G – сигнал, свидетельствующий о наличии хотя бы одного возбужденного входа при включен-

ном состоянии шифратора, $E0$ – выходной сигнал разрешения, свидетельствующий об отсутствии возбужденных входов при включенном состоянии шифратора.

3.1.6. Демультимплексоры и мультиплексоры

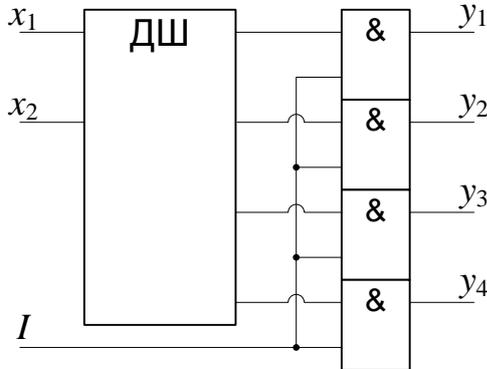


Рис. 3.10. Демультимплексор

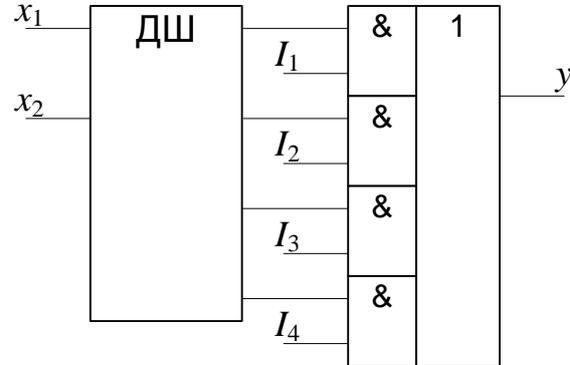


Рис. 3.11. Мультиплексор

Демультимплексор используется в многоканальных цифровых системах для передачи цифровой информации из одного канала в любой другой, номер которого задается дешифратором. Реализуется на основе дешифратора, по выходам которого установлены N цифровых ключей. Управляющий вход полученной схемы используется в качестве входного информационного канала (рис. 3.10).

Мультиплексор используется в многоканальных цифровых системах и, в отличие от демультимплексора, выполняет обратную функцию, т.е. собирает информацию из нескольких каналов в один общий канал (рис. 3.11). Нарастивание разрядности по входам мультиплексора осуществляется точно так же, как и у дешифраторов, с помощью входа E . Объединение по выходу осуществляется с помощью схемы ИЛИ (ИЛИ-НЕ).

Реализация логических функций на мультиплексорах. С помощью мультиплексора, имеющего n входов дешифратора, можно реализовать любую логическую функцию для $n + 1$ аргументов. Возможность такой реализации связана с тем, что мультиплексор реализует логическую функцию, в соответствии с его структурной схемой, представляющую собой логическую сумму всех возможных произведений входов дешифратора на соответствующие информационные входы. Например, для $n = 3$ имеем:

$$y = \bar{x}_3 \bar{x}_2 \bar{x}_1 I_1 + \bar{x}_3 \bar{x}_2 x_1 I_2 + \bar{x}_3 x_2 \bar{x}_1 I_3 + \bar{x}_3 x_2 x_1 I_4 + x_3 \bar{x}_2 \bar{x}_1 I_5 + x_3 \bar{x}_2 x_1 I_6 + x_3 x_2 \bar{x}_1 I_7 + x_3 x_2 x_1 I_8.$$

Манипулируя значениями входов I_i , можно исключить нужные элементы из этой логической суммы и в результате получить требуемую функцию.

Порядок реализации логической функции на мультиплексоре.

1. Составляют таблицу состояний реализуемой функции.

2. Выделяют в этой таблице t групп (по две строки в каждой группе).
3. Анализируют в нужной группе значение функции и значение младшего аргумента. В зависимости от результата анализа подают на соответствующий вход I одно из значений: $0, 1, x_1, \overline{x_1}$.

Пример. Дана таблица состояний 3.3. Реализовать на мультиплексоре.

Таблица 3.3

Таблица состояний

$x_4x_3x_2$	x_1	y	I_i
000	0	0	0
001	1	0	
010	0	0	x_1
011	1	1	
100	0	1	$\overline{x_1}$
101	1	0	
110	0	1	1
111	1	1	
000	0	0	x_1
001	1	1	
010	0	1	1
011	1	1	
110	0	1	$\overline{x_1}$
111	1	0	
111	0	0	0
111	1	0	

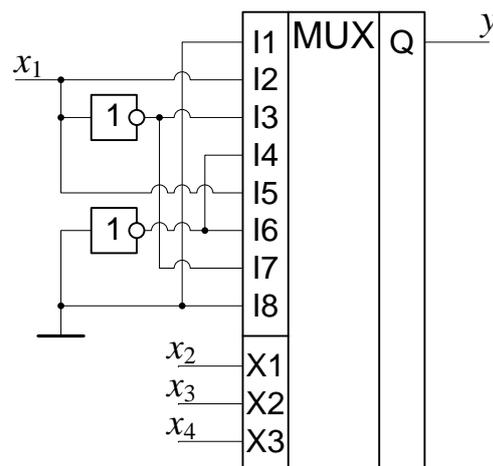


Рис. 3.12. Реализация логической функции на мультиплексоре

3.1.7. Цифровые вычислительные устройства

Вычислительные устройства позволяют выполнять совокупность определенных логических и арифметических операций. К основным вычислительным устройствам относятся: *сумматоры, арифметико-логические устройства (АЛУ), схемы ускоренного переноса (СУП), схемы проверки кодов на четность и нечетность, цифровые компараторы, умножители.*

3.1.7.1. Сумматоры цифровых кодов

Сумматоры цифровых кодов предназначены для суммирования двух двоичных чисел. В основе схемы сумматора лежит схема полусумматора (рис. 3.13). Его работа описывается таблицей состояний (табл. 3.4).

Таблица 3.4

Таблица состояний

x_2x_1	y	p
00	0	0
01	1	0
10	1	0
11	0	1

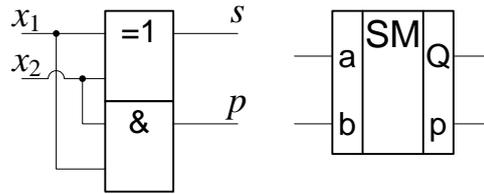


Рис. 3.13. Функциональная схема полусумматора (слева), УГО (справа)

Из таблицы получаем: $y = x_1\bar{x}_2 + \bar{x}_1x_2$; $p = x_1x_2$. Функция y – это функция *Искл. ИЛИ*, p – перенос в следующий разряд.

3.1.7.2. Полный одноразрядный сумматор

В отличие от полусумматора, полный одноразрядный сумматор учитывает перенос из предыдущего разряда (рис. 3.14).

Таблица 3.5

Таблица состояний

$p_{k-1} x_k y_k$	s_k	p_k
000	0	0
001	1	0
010	1	0
011	0	1
100	1	0
101	0	1
110	0	1
111	1	1

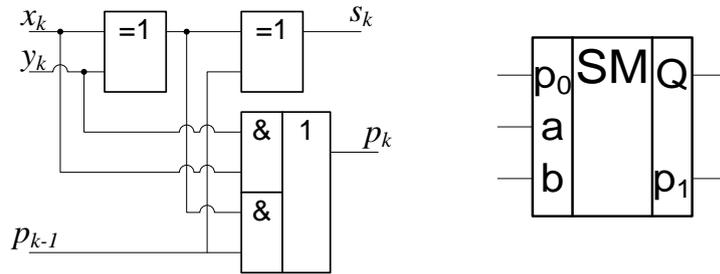


Рис. 3.14. Полный одноразрядный сумматор: функциональная схема (слева); УГО (справа)

x_k, y_k – одноразрядные двоичные числа (цифры); p_{k-1} – перенос из результата суммы предыдущего младшего разряда; s_k – результат суммирования текущего результата; p_1 – перенос в старший разряд. Из таблицы 3.5 получим систему логических функций полного одноразрядного сумматора: $s_k = x_k \oplus y_k \oplus p_{k-1}$; $p_k = x_k y_k + (x_k \oplus y_k) p_{k-1}$.

3.1.7.3. Многоразрядные сумматоры

Многоразрядный сумматор предназначен для суммирования двух много-разрядных двоичных чисел и выполняется на основе полного одноразрядного сумматора. При этом могут использоваться три различных варианта построения сумматора: *параллельный многоразрядный сумматор с последовательным пе-*

реносом; сумматор с параллельным (сквозным) переносом; сумматор со смешанным переносом.

Параллельный многоразрядный сумматор с последовательным переносом показан на рисунке 3.15, а. Эта схема сумматора наиболее проста, но имеет большую задержку формирования выходного сигнала старших разрядов.

В схеме параллельного многоразрядного сумматора с параллельным переносом все сигналы переноса формируются одновременно за счёт того, что предварительно определяются логические функции для каждого переноса и реализуются на логических элементах (рис. 3.15, в). Переносы формируются следующим образом: $p_k = x_k y_k + (x_k + y_k) p_{k-1}$. Обозначим $A_k = x_k y_k$; $B_k = x_k + y_k$. Тогда

$$p_1 = A_1 + B_1 p_0$$

$$p_2 = A_2 + B_2 p_1 = A_2 + B_2(A_1 + B_1 p_0) = A_2 + B_2 A_1 + B_2 B_1 p_0$$

$$p_3 = A_3 + B_3 p_2 = A_3 + B_3(A_2 + B_2 A_1 + B_2 B_1 p_0) = A_3 + B_3 A_2 + B_3 B_2 A_1 + B_3 B_2 B_1 p_0$$

$$p_4 = A_4 + B_4 p_3 = A_4 + B_4(A_3 + B_3 A_2 + B_3 B_2 A_1 + B_3 B_2 B_1 p_0) = A_4 + B_4 A_3 + B_4 B_3 A_2 + B_4 B_3 B_2 A_1 + B_4 B_3 B_2 B_1 p_0$$

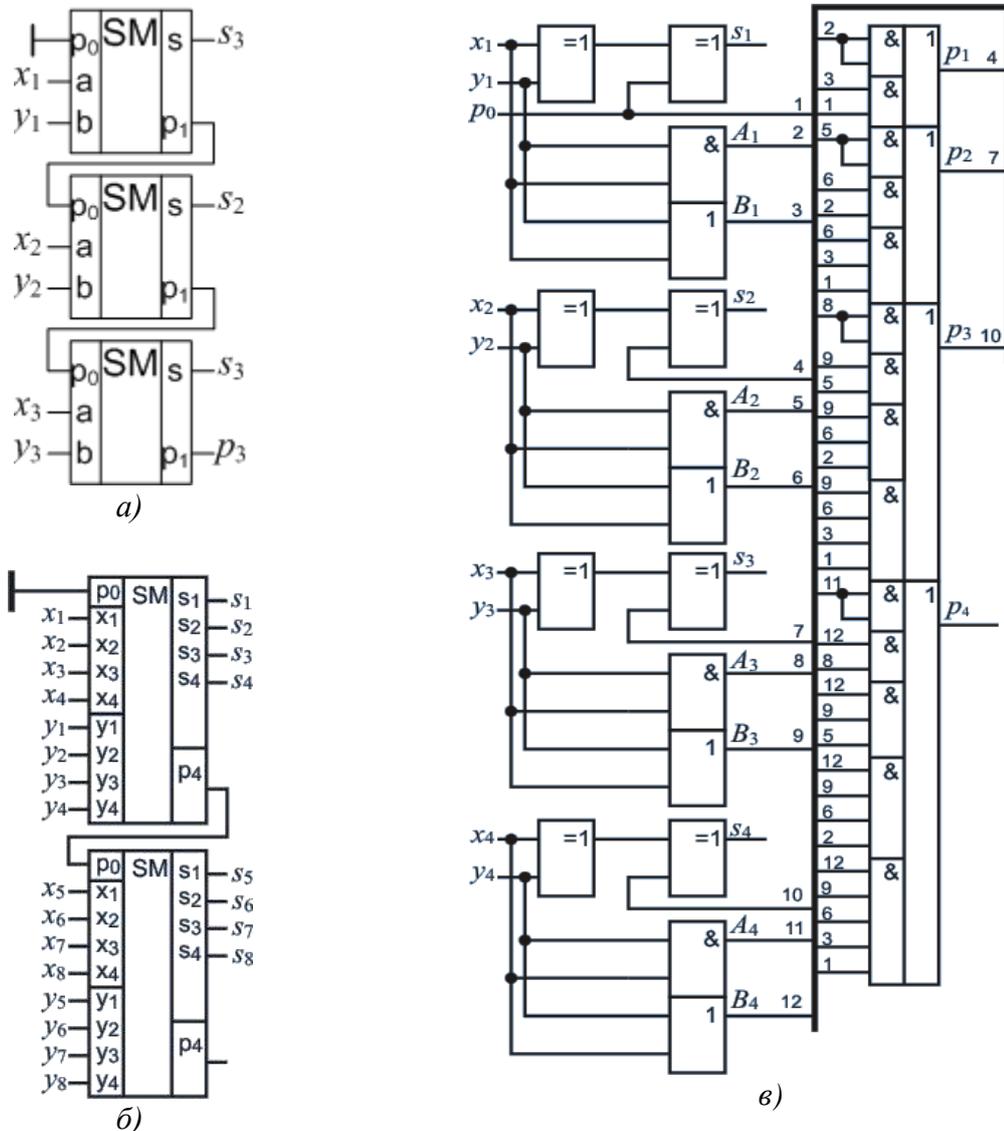


Рис. 3.15. Многоразрядный сумматор: с последовательным переносом (а); со смешанным переносом (б); с параллельным переносом (в)

Наиболее часто используются сумматоры с групповым (смешанным) переносом (рис. 3.15, б). При этом обычно делается четырёхразрядный сумматор со сквозным переносом, а группы по четыре разряда объединяются с помощью последовательного переноса. Иногда между группами применяется параллельный перенос.

3.1.7.4. Вычитание двоичных сигналов (кодов)

Обратный код (инверсный) получается из двоичного путём инвертирования всех исходных разрядов $A_n = (a_{n-1}, \dots, a_0)$, где A_n – двоичное число разрядностью n ; (a_{n-1}, \dots, a_0) – разряды числа. $\overline{A_n} = (\overline{a_{n-1}}, \dots, \overline{a_0})$ – обратный код. Дополнительный код A_n^* получается из обратного путём прибавления к нему единицы.

$$A_n^* = \overline{A_n} + 1; A_n^* + A_n = 2^n; A_n = 2^n - A_n^*; B_n - A_n = B_n + A_n^* - 2^n$$

В результате операцию вычитания двоичного числа можно заменить операцией сложения с вычитаемым числом, записанного в дополнительном коде. Составляющая 2^n не влияет на получаемый результат, а используется только для определения знака результата.

3.1.7.5. Арифметико-логическое устройство

АЛУ служит основой для построения микропроцессоров и предназначен для выполнения арифметических и поразрядных логических операций. На рисунке 3.16 показана интегральная микросхема четырёхразрядного АЛУ 531ИПЗ.

Таблица 3.6

Операции АЛУ 531ИПЗ

E-код	M=0	M=1
0000	$1+A+C_0$	\overline{A}
0001	$1 + AB^* + C_0$	\overline{AB}
0010	$1 + \overline{AB} + C_0$	$\overline{A} + B$
0011	$1 + C_0$	1
0100	$A + A + \overline{B} + C_0$	$\overline{A + B}$
0101	$(AB) + A + \overline{B} + C_0$	\overline{B}
0110	$A + \overline{B} + C_0$	$\overline{A \oplus B}$
0111	$A + \overline{B} + C_0$	$A + \overline{B}$
1000	$A + A + B + C_0$	\overline{AB}
1001	$A + B + C_0$	$A \oplus B$
1010	$(\overline{AB}) + A + B + C_0$	B
1011	$A + B + C_0$	A+B
1100	$A + A + C_0$	0
1101	$A + AB + C_0$	\overline{AB}
1110	$A + \overline{AB} + C_0$	AB
1111	$A + C_0$	A

* - в скобках логические операции

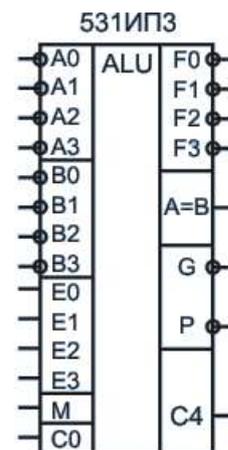


Рис. 3.16. АЛУ 531ИПЗ

Она предназначена для работы с двумя четырехразрядными кодами A и B . Выходы F – это результат выполнения действия над A и B . Вход M задает тип операции над A и B . Если $M = 0$, то выполняется арифметическая операция (включаются внутренние переносы). Если $M = 1$, выполняется логическая операция (все внутренние переносы выключаются). Входы E – это четырехразрядный код, который задает вид выполняемой операции (табл. 3.6). Выход $C0$, $C4$ – вход, выход переноса для наращивания разрядности АЛУ. Выход $A = B$ выдает сигнал при равенстве кодов A и B . Выходы G , P предназначены для наращивания разрядности АЛУ с помощью схем ускоренного переноса.

Наращивать разрядность АЛУ можно по-разному.

1. Последовательное наращивание (рис. 3.17). При последовательном наращивании разрядности АЛУ задействуются входы и выход переноса ($C0$ и $C4$), при этом на входы M , E и $A = B$ подаются одинаковые сигналы. Последовательная передача сигнала переноса вносит задержки в формирование старших разрядов, что в конечном счете замедляет работу АЛУ.

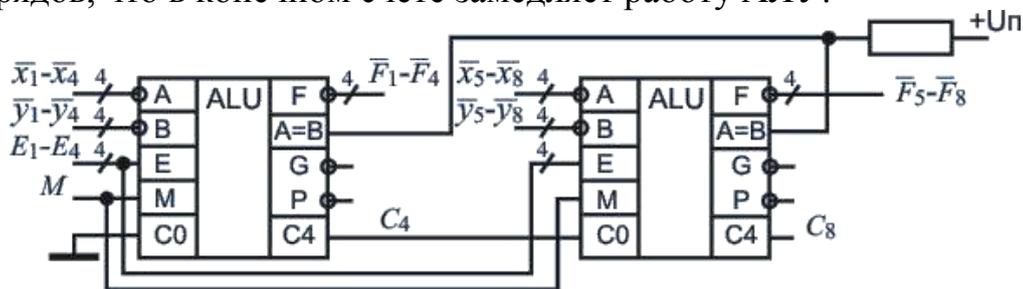


Рис. 3.17. Последовательное наращивание разрядности АЛУ

2. Параллельный перенос с использованием схемы ускоренного переноса (рис. 3.18). Производительность таких АЛУ выше, поскольку сигнал переноса подается на входы каждого АЛУ практически одновременно. В СУП выходы P и G служат для дальнейшего наращивания разрядности.

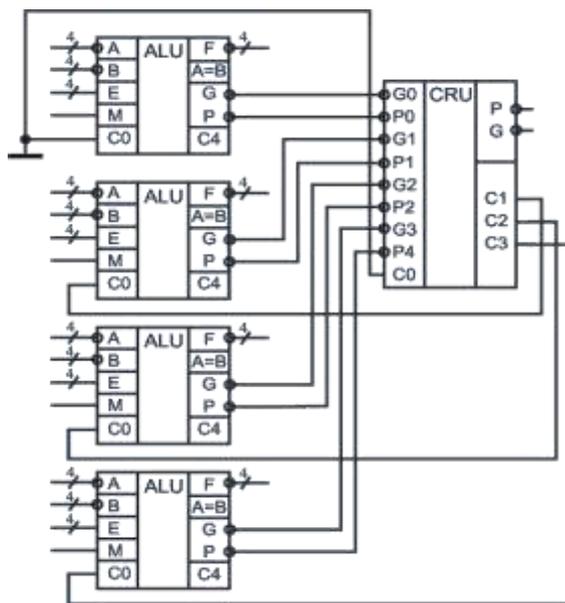


Рис. 3.18. Параллельное наращивание разрядности АЛУ

3.1.7.6. Алгоритм проверки на четность и нечетность

Схемы контроля четности используются для обнаружения однократных ошибок при передаче данных по линии связи. Алгоритм проверки на четность и нечетность реализуется логическим элементом *Искл. ИЛИ* (рис. 3.19).

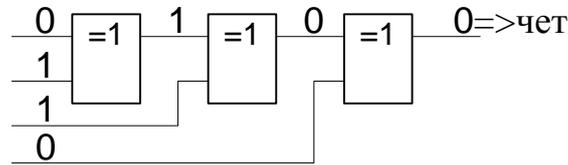


Рис. 3.19. Схема проверки кода на четность

3.1.7.7. Сравнение двоичных чисел

Сравнение двоичных чисел производится поразрядно, причем можно начинать как со старшего, так и с младшего разряда. Для построения функциональной схемы сравнения двух одноразрядных двоичных чисел составим таблицу состояний (рис. 3.20).

Таблица 3.7

Таблица состояний

x_2x_1	$y_1, x_1 > x_2$	$y_2, x_1 < x_2$	$y_3, x_1 = x_2$
00	0	0	1
01	1	0	0
10	0	1	0
11	0	0	1

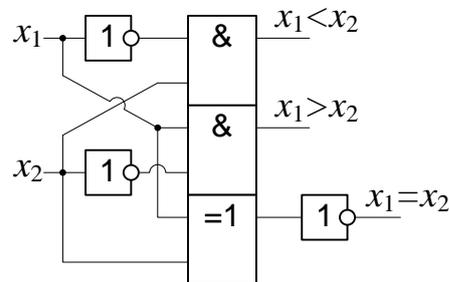


Рис. 3.20. Функциональная схема

$$y_1 = \overline{x_2}x_1; y_2 = x_2\overline{x_1}; y_3 = \overline{x_2}\overline{x_1} + x_2x_1 = \overline{x_2 \oplus x_1}$$

3.1.7.8. Умножители двоичных чисел

Пусть заданы целые числа $X_n = (x_{n-1}, \dots, x_0)$, $Y_m = (y_{m-1}, \dots, y_0)$. Для формирования полного диапазона выходных значений перемножающей ячейки на её входы подают ещё два дополнительных числа $A_n = (a_{n-1}, \dots, a_0)$, $B_m = (b_{m-1}, \dots, b_0)$. Максимальные значения этих чисел равны $X_{n\max} = A_{n\max} = 2^n - 1$, $Y_{m\max} = B_{m\max} = 2^m - 1$. При наличии этих четырёх сигналов значения на выходах перемножающей ячейки вычисляются по формуле $X_n Y_m + A_n + B_m$.

Минимальное значение этого выражения равно 0, а максимальное будет равно $(2^n-1)(2^m-1)+2^n-1+2^m-1 = 2^{n+m}-2^n-2^m+1+2^n-1+2^m-1=2^{n+m}-1$. Таким образом, на выходе перемножающей ячейки может быть получен весь диапазон двоичных чисел, начиная от всех нулей до всех единиц. В записанной формуле A_n и B_m играют роль, аналогичную роли сигналов переноса в сумматорах.

При наращивании разрядности для первой ячейки младших разрядов получаемого числа A и B берутся равными 0, а для последних ячеек значения A и B формируются в предыдущих ячейках.

Основой перемножающих схем является перемножающая ячейка 2×2 . В этом случае:

$$X_2Y_2+A_2+B_2 = (x_1x_0)(y_1y_0) + (a_1a_0) + (b_1b_0) = (x_12^1 + x_02^0)(y_12^1 + y_02^0) + (a_12^1 + a_02^0) + (b_12^1 + b_02^0) = x_1y_12^2 + (x_1y_0 + x_0y_1 + a_1 + b_1)2^1 + (x_0y_0 + a_0 + b_0)2^0.$$

Полученное уравнение может быть реализовано на основе четырех полных одноразрядных сумматоров (рис. 3.21).

$$\Sigma_1 = (x_0y_0 + a_0 + b_0)2^0 = c_12^1 + s_02^0, \text{ ВЫХОД } s_0;$$

$$\Sigma_2 = (x_0y_1 + b_1 + c_1)2^1 = c_22^2 + s_1'2^1, \text{ ВЫХОД } c_2;$$

$$\Sigma_3 = (x_1y_0 + a_1 + s_1')2^1 = c_2'2^2 + s_12^1, \text{ ВЫХОД } s_1;$$

$$\Sigma_4 = (x_1y_1 + c_2' + c_2)2^2 = c_32^3 + s_22^2, \text{ ВЫХОД } s_2;$$

$$s_3 = c_3.$$

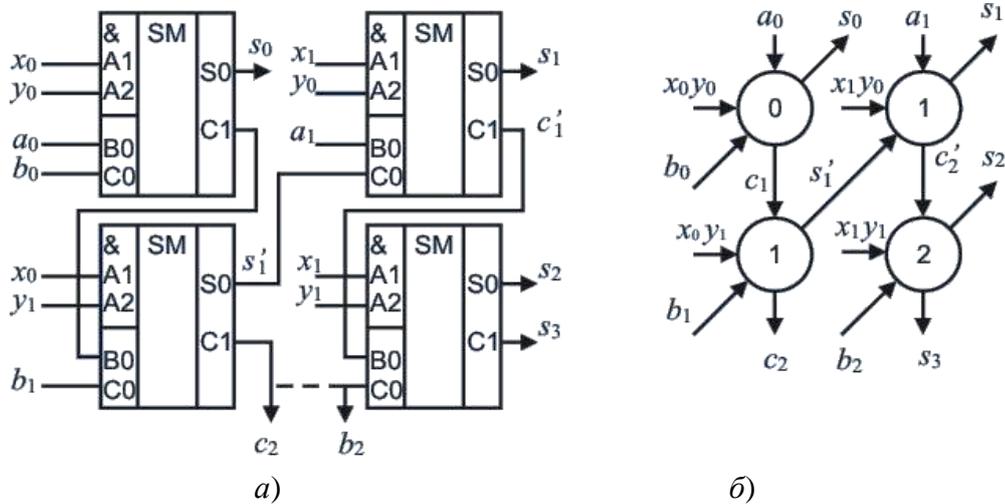
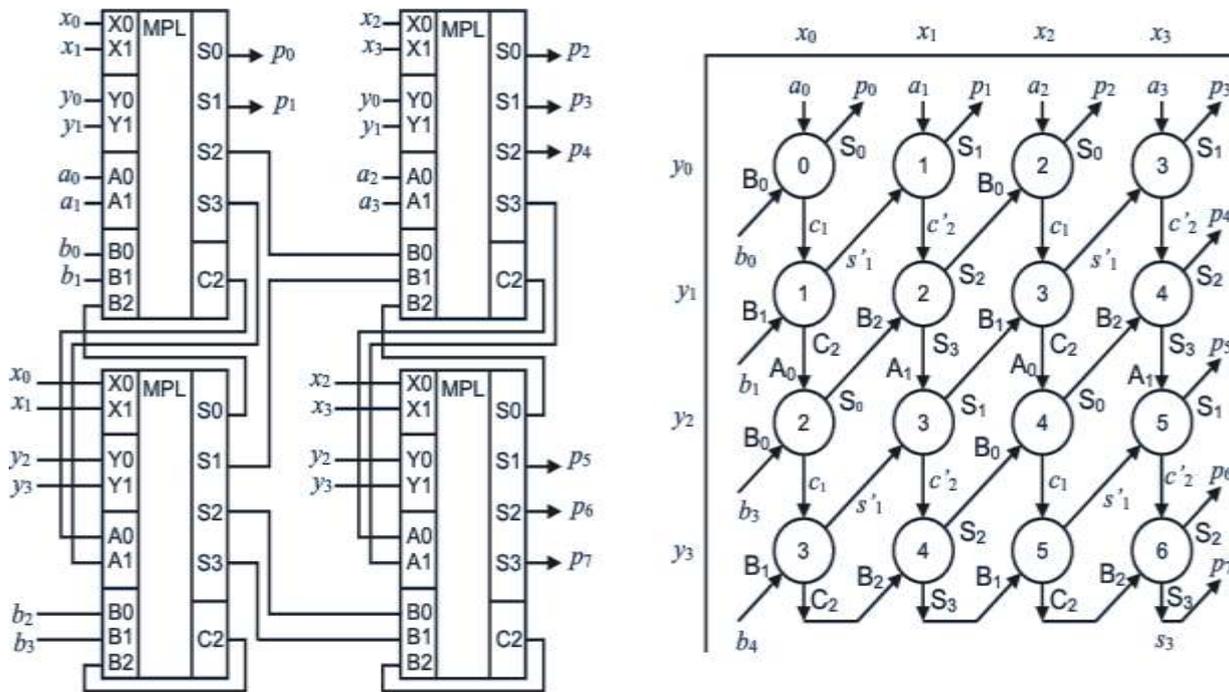


Рис. 3.21. Перемножающая ячейка 2×2

Перемножающую ячейку удобно отображать с помощью графа (рис. 3.21, б), в кружках которого отображаются весовые коэффициенты. Такая ячейка реализована на микросхеме 561ИП5. На рисунке 3.22 показана схема наращивания разрядности умножителя (а) и его граф (б).



а) б)

Рис. 3.22. Перемножающая ячейка 4x4

Если полученная ячейка не требует наращивания, то ее входы A_0, \dots, A_2 и B_0, \dots, B_3 зануляются, а наращивание разрядности используется для организации переноса.

3.2. ТАКТИРУЕМЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

В тактируемых цифровых устройствах изменение выходного состояния происходит в момент прихода тактового импульса. В результате работу тактируемого устройства не всегда можно описать с помощью логической функции. Для описания работы таких устройств используются следующие способы: *таблицы переходов (состояний), графы переходов, функциональные схемы (логическое описание), временные диаграммы.*

К тактируемым цифровым устройствам относятся: элементы памяти (триггеры, регистры, ОЗУ, ПЗУ), счётчики импульсов, распределители сигналов, частотно-фазовые дискриминаторы и др.

3.2.1. Цифровые запоминающие устройства

3.2.1.1. Триггеры

Триггер – это одноразрядное, цифровое запоминающее устройство, содержащее запоминающий элемент и схему управления его работой. Запоминающий элемент способен сохранять двоичную информацию (состояние 0 или 1) после окончания действия входных импульсов.

По функциональному признаку триггеры бывают RS , S , R , E , JK , D и T типа. По способу управления различают *асинхронные* и *синхронные* триггеры. В асинхронных триггерах переключение из одного состояния в другое происходит непосредственно с поступлением сигнала на информационный вход. В синхронных триггерах помимо информационных входов имеется вход тактовых импульсов (синхронизирующий вход). Их переключение происходит только при наличии разрешающего, тактирующего импульса.

Асинхронные триггеры

RS-триггер. Этот триггер является основой для построения триггеров других типов и используется в качестве запоминающего элемента. Он требует для своего построения два двухвходовых логических элемента типа ИЛИ-НЕ (триггер с прямыми входами, рис. 3.23, *а, б*) или И-НЕ (триггер с инверсными входами, рис. 3.23, *в, г*).

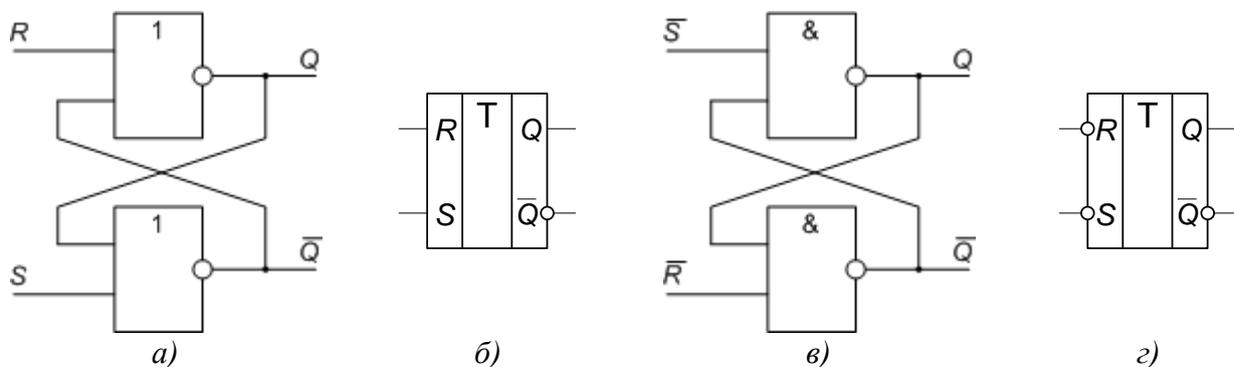


Рис. 3.23. Асинхронный RS-триггер: функциональная схема триггера на ИЛИ-НЕ (*а*) и его УГО (*б*); функциональная схема триггера на И-НЕ (*в*) и его УГО (*г*)

Таблица 3.8

Таблица переходов RS-триггера с прямыми (слева) и инверсными входами (справа)

t_n	t_{n+1}		t_n	t_{n+1}	
$R_n S_n$	Q_{n+1}		$\bar{R}_n \bar{S}_n$	Q_{n+1}	
00	Q_n	– хранение информации	00	×	– запрещенный режим
01	1	– запись 1 по входу S	01	0	– запись нуля по входу S
10	0	– запись нуля по входу R	10	1	– запись 1 по входу R
11	×	– запрещенный режим	11	Q_n	– хранение информации

Если на информационных входах триггера с инверсными входами поставить инверторы, то получается триггер с прямыми входами (рис. 3.24, *а*) и наоборот. Поэтому далее будем рассматривать триггер только с прямыми входами.

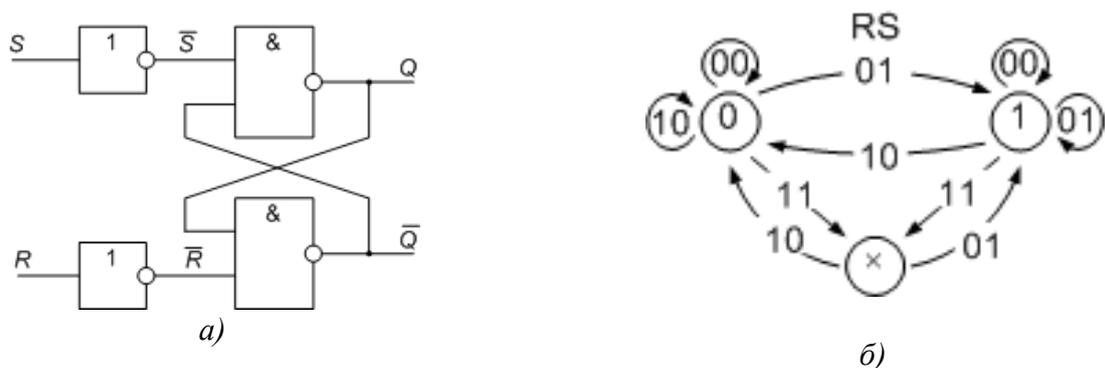


Рис. 3.24. Функциональная схема RS-триггера с прямыми входами на элементах И-НЕ (а) и его граф переходов (б)

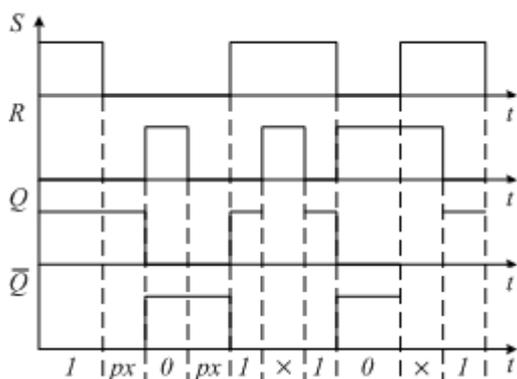


Рис. 3.25. Временные диаграммы RS-триггера с прямыми входами

Асинхронный RS-триггер, как и триггер любого другого типа, характеризуется двумя состояниями: логической 1 и логического 0. Состоянию логической 1 соответствует $Q = 1, \bar{Q} = 0$, а состоянию логического 0 – $Q = 0, \bar{Q} = 1$. По информационному входу S (set-установка) происходит установка триггера в состояние логической 1, а по информационному входу R (reset-сброс) – установка (перевод) триггера в исходное состояние логического 0. При $S = R = 0$ в триггере сохраняется предшествующее состояние (0 или 1), поэтому такой режим называется режимом хранения. Комбинация $S = R = 1$ для схемы триггера на элементах ИЛИ-НЕ является запрещенной ввиду неопределенности его состояния.

Удобным является описание работы триггера с помощью графа переходов (рис. 3.24, б). В кружках указываются состояния триггера (0, 1, ×), а стрелками показываются переходы триггера из одного состояния в другое, в зависимости от сигналов на входах R и S .

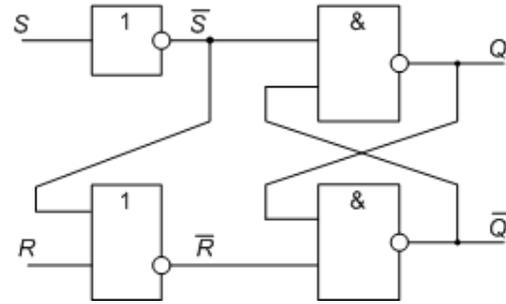
Еще одним способом описания работы триггера являются временные диаграммы (рис. 3.25).

Еще одним способом описания работы триггера являются временные диаграммы (рис. 3.25).

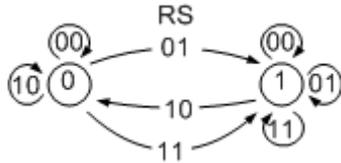
Триггер S-типа. Триггером *S-типа* называют логическое устройство с двумя устойчивыми состояниями и двумя информационными входами R и S , которое имеет приоритетным S -вход. Для создания приоритета по входу S ставят цифровой ключ по входу R , управляемый от входа S . Таким образом, вместо запрещенного режима будет режим записи единицы. На рисунке 3.26 показаны таблица переходов (а), функциональная схема (б), граф переходов (в) и временные диаграммы (г).

t_n	t_{n+1}
$R_n S_n$	Q_{n+1}
00	Q_n
01	1
10	0
11	1

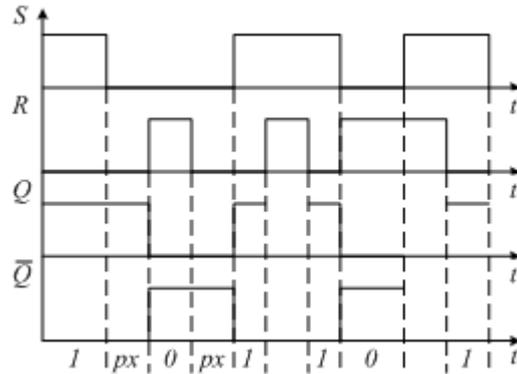
a)



б)



в)



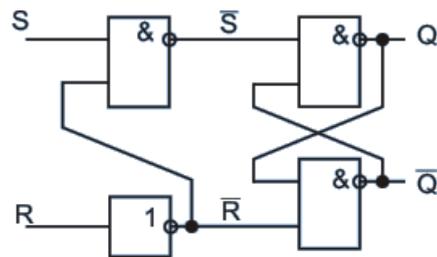
г)

Рис. 3.26. S-триггер: таблица переходов (a); функциональная схема (б); граф переходов (в); временные диаграммы (г)

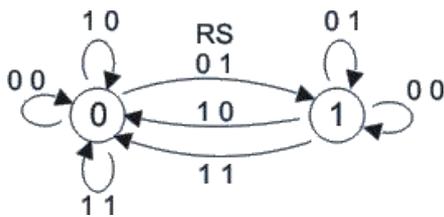
Триггер R-типа. Триггером R-типа называют логическое устройство с двумя устойчивыми состояниями и двумя информационными входами R и S, которое имеет приоритетным R-вход. Для создания приоритета по входу R ставят цифровой ключ по входу S, управляемый от входа R. Таким образом, вместо запрещенного режима будет режим записи нуля. На рисунке 3.27 показаны таблица переходов (a), функциональная схема (б), граф переходов (в) и временные диаграммы (г).

t_n	t_{n+1}
$R_n S_n$	Q_{n+1}
00	Q_n
01	1
10	0
11	0

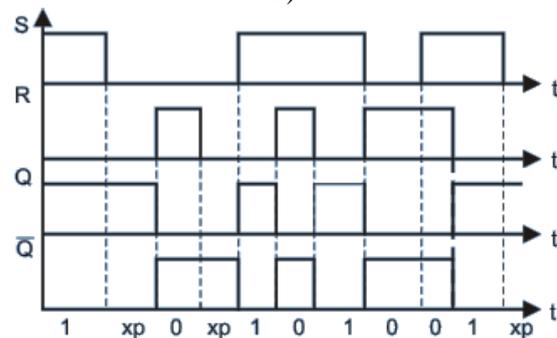
a)



б)



в)



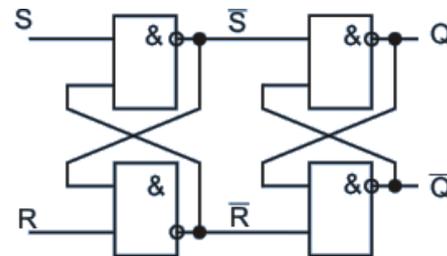
г)

Рис. 3.27. R-триггер: таблица переходов (a); функциональная схема (б); граф переходов (в); временные диаграммы (г)

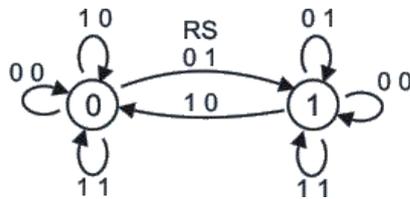
Триггер Е-типа. Триггером *Е-типа* называют логическое устройство с двумя устойчивыми состояниями и с двумя входами R и S , которое при комбинации сигналов $R = 1$ и $S = 1$ не изменяет своего состояния, а при всех остальных комбинациях входных сигналов функционирует в соответствии с таблицей переходов RS -триггера. На рисунке 3.28 показаны таблица переходов (а), функциональная схема (б), граф переходов (в) и временные диаграммы (г).

t_n	t_{n+1}
$R_n S_n$	Q_{n+1}
00	Q_n
01	1
10	0
11	Q_n

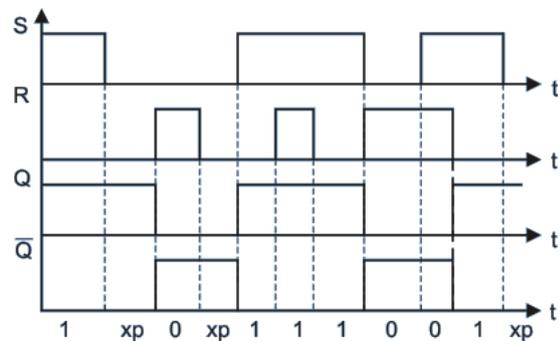
а)



б)



в)



г)

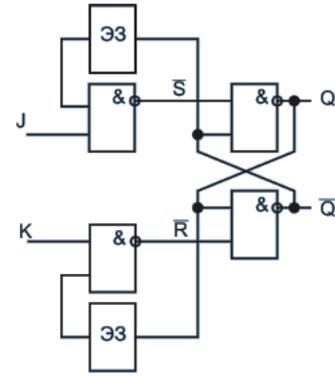
Рис. 3.28. Е-триггер: таблица переходов (а); функциональная схема (б); граф переходов (в); временные диаграммы (г)

Триггер J-К-типа. Триггером *JK-типа* называют устройство с двумя устойчивыми состояниями и двумя входами J и K , которое при условии $J = K = 1$ осуществляет инверсию предыдущего состояния, а при всех остальных комбинациях входных сигналов функционирует в соответствии с таблицей переходов RS -триггера.

Вход J является аналогом входа S и при подаче на него 1 триггер устанавливается в 1. Вход K – аналог входа R и при подаче на него 1 триггер устанавливается в 0. При одновременной подаче 1 на входы J и K триггер переходит в счётный режим работы и его состояние изменяется на противоположное. В условиях нормальной работы: время одновременного присутствия логических 1 на J и K входах не должно превышать время задержки τ_3 на элементе ЭЗ, иначе начнётся режим генерации импульсов на выходе триггера с периодом $T_2 = 2\tau_3$. На рисунке 3.29 показаны таблица переходов (а), функциональная схема (б).

t_n	t_{n+1}
$R_n S_n$	Q_{n+1}
00	Q_n
01	1
10	0
11	$\overline{Q_n}$

a)



б)

Рис. 3.29. Е-триггер: таблица переходов (а); функциональная схема (б)

Синхронные триггеры

RS-триггер. В основе этой схемы лежит асинхронный RS-триггер, по входам которого устанавливаются 2 цифровых ключа 2И-НЕ. Эти ключи управляются дополнительным тактовым импульсом T , поэтому информация с входа R и S приходит на входы асинхронных триггеров только при поступлении импульса T . На рисунке 3.30 показана функциональная схема и временная диаграмма тактируемого RS-триггера.

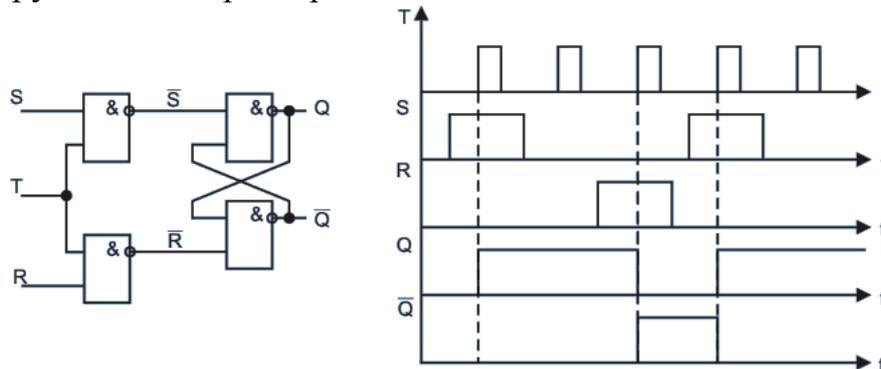


Рис. 3.30. Однотактный RS-триггер (слева) и его временные диаграммы (справа)

В синхронном триггере могут быть предусмотрены входы асинхронной установки \overline{S} и \overline{R} . По этим входам состояние триггера может быть изменено в любой момент времени (рис. 3.31).

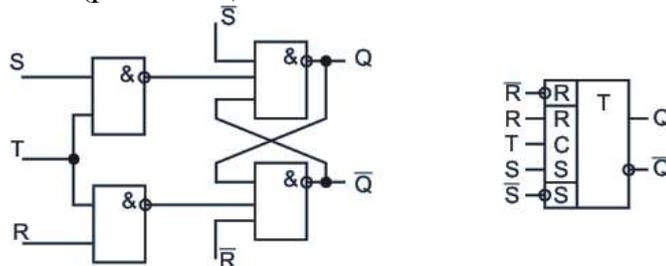


Рис. 3.31. Функциональная схема однотактного RS-триггера с входами асинхронной установки (слева) и его УГО (справа)

Триггер D-типа. Основным недостатком вышерассмотренного тактируемого *RS*-триггера является наличие двух информационных входов. В то же время в режиме записи в него информации на входах *R* и *S* должны присутствовать противоположные сигналы. Поэтому из тактируемого *RS*-триггера получают *тактируемый D-триггер* путём замещения входа *S* на вход *D* и подачи на вход *R* сигнала \bar{D} (рис. 3.32). Таким образом, *D*-триггеры имеют один информационный вход.

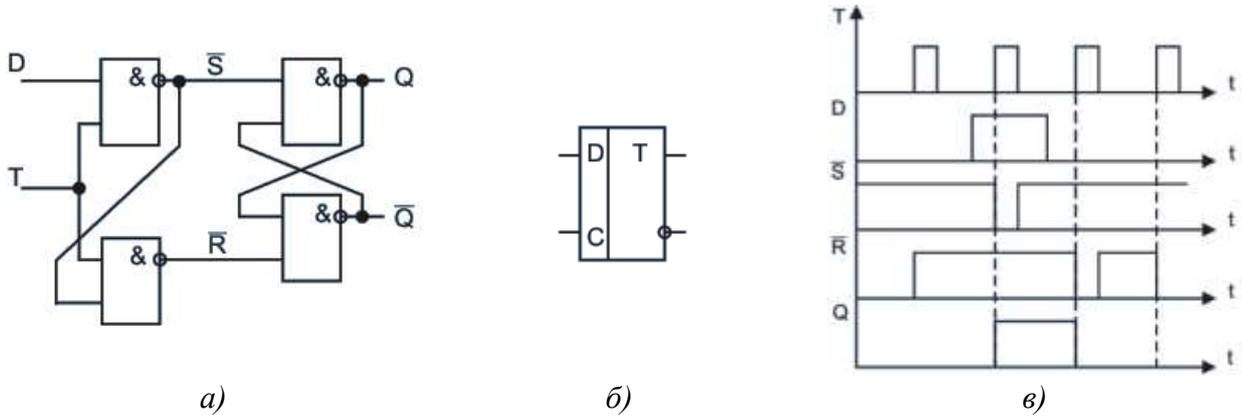


Рис. 3.32. Однотактный D-триггер: его функциональная схема (а), УГО (б) и временные диаграммы (в)

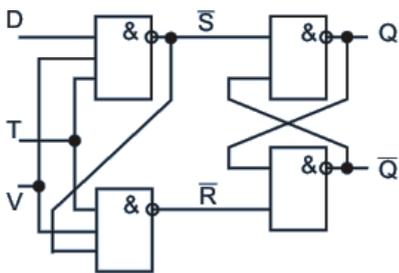


Рис. 3.33. DV-триггер

Разновидностью *D*-триггера является *DV*-триггер (рис. 3.33). Этот триггер дополнительно снабжен входом разрешения работы, который может блокировать его работу. По сути, действие данного входа аналогично действию *T* входа. Поэтому структурно этот вход может быть выполнен как объединение дополнительных входов элементов *И-НЕ* входной логики триггера.

Триггер T-типа (счётный триггер). *T*-триггер называется счётным, т.к. при поступлении тактового импульса его выходное состояние инвертируется, что эквивалентно прибавлению к выходному состоянию единицы по модулю два. Счётный триггер лежит в основе построения практически всех счётчиков импульсов (рис. 3.34).

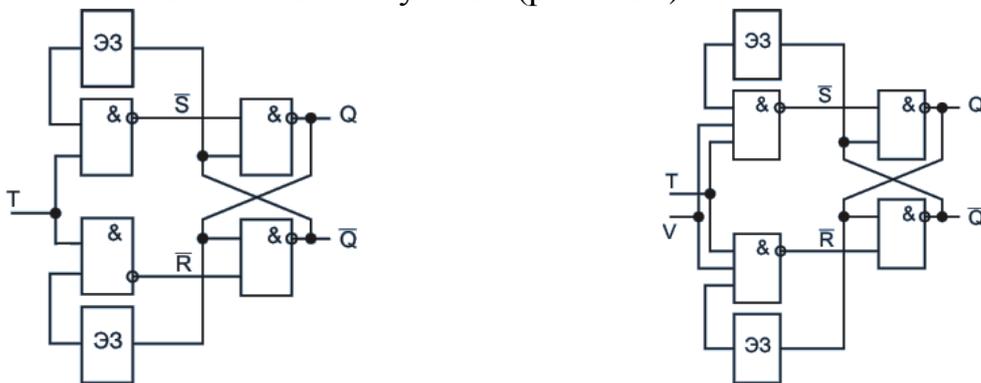


Рис. 3.34. Однотактный T-триггер (слева) и однотактный TV-триггер (справа)

Пусть в начальный момент триггер DD2 находится в состоянии 0, $Q = 0, \bar{Q} = 1$ (рис. 3.35). Тогда через обратные связи на вход R вспомогательного триггера DD1 действует лог.1, а на вход S – лог.0. Как только на тактовый сигнал T подается лог.1, триггер DD1 сбрасывается ($Q' = 0, \bar{Q}' = 1$). На вход R основного триггера DD2 начинает действовать лог.0, а на вход S – лог.1. Установка сигнала T в низкое состояние приведет к тому, что через инвертор DD3 на тактовый вход основного триггера DD2 будет действовать лог.1. Это приведет к записи в DD2 лог.1, т.е. триггер переключится в противоположное состояние. Таким образом, каждый задний фронт тактового импульса будет приводить к переключению триггера.

Двухтактный триггер D-типа. Двухтактные триггеры D-типа выполняются на базе двух одноктактных D-триггеров, один из которых называют основным, а другой – вспомогательным (рис. 3.36). В них последовательно записывается информация по двум тактовым импульсам – T1 и T2. По импульсу T1 информация записывается в первый триггер, а затем по импульсу T2 переписывается во второй. В качестве импульсов T2 обычно используется инвертированная последовательность импульсов T1. В результате такой реализации в триггере обеспечивается задержка импульсов τ_z , автоматически во время паузы T1. В то же время осуществляется срабатывание триггера по фронту импульса, а не по уровню – как в одноктактных схемах. В этой схеме, в качестве элемента задержки, используется второй D-триггер, работающий по импульсам второй последовательности T2.

Пунктиром показана электрическая связь для организации двухтактного счетного триггера.

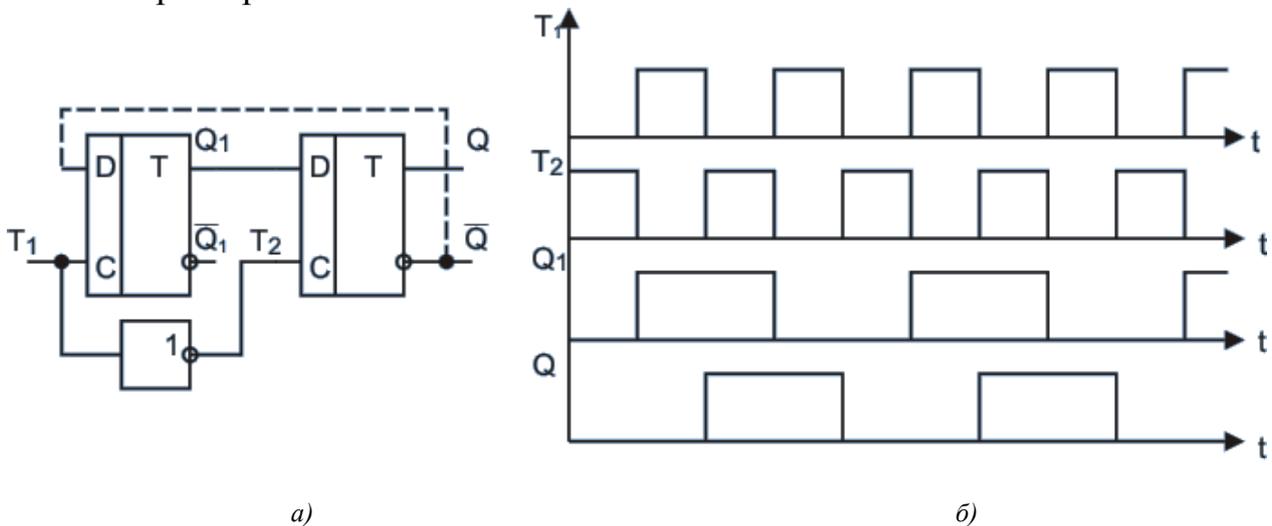


Рис. 3.36. Двухтактный D-триггер (а) и его временные диаграммы (б)

Двухтактные триггеры могут работать: *по переднему фронту* или *по заднему фронту*. Тактовые входы таких триггеров на УГО обозначаются косой чертой (рис. 3.37).

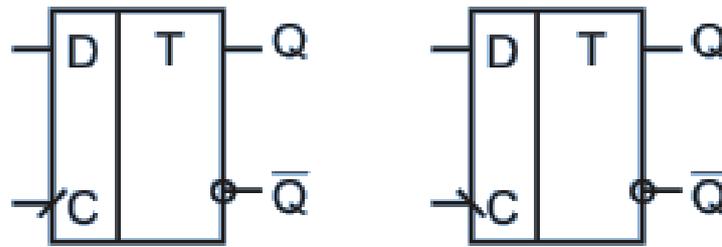


Рис. 3.37. D-триггер, срабатывающий по переднему (слева) и по заднему (справа) фронту тактового импульса

3.2.1.2. Регистры

Регистрами называются многоразрядные цифровые запоминающие устройства, предназначенные для приёма, хранения, преобразования и передачи информации.

Основу регистра составляют триггеры. Обычно используются *D*-триггеры, как наиболее удобные для записи и хранения информации. Чаще всего используются двухтактные *D*-триггеры, в которые запоминание осуществляется по фронту тактового импульса, гораздо реже – *RS*-триггеры.

Регистры делятся на *параллельные*, *последовательные* и *параллельно-последовательные*.

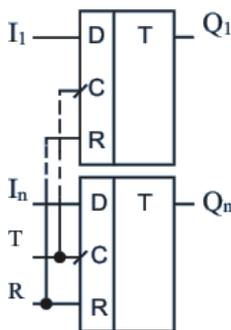


Рис. 3.38. Параллельный регистр

Параллельные регистры. Параллельный *n*-разрядный регистр представляет собой *n* триггеров, на информационные входы которых подается *n*-разрядный двоичный код, который необходимо запомнить, а на объединенные тактовые *C*-входы подается тактовый импульс, по переднему фронту которого осуществляется запоминание (рис. 3.38). В регистре может быть дополнительный вход *R* сброса регистра в нулевое состояние.

Последовательные регистры. Последовательные регистры работают с последовательным кодом, разряды которого разделены во времени на интервалы, равные периоду следования тактового импульса *T*. Такой способ представления информации широко используется при передаче информации между цифровыми устройствами, что позволяет экономить количество проводов, по которым передается информация. Недостатком является значительное время передачи информации.

Различают *регистры прямого сдвига* и *реверсивные регистры*. Регистры прямого сдвига осуществляют приём (передачу) информации, сдвигая её в регистре на 1 разряд вправо при приходе одного тактового импульса. Для полного приёма (передачи) информации требуется *n* тактов. Регистр представляет собой *n* последовательно соединённых *D*-триггеров, тактовые входы которых объединены. Имеется один информационный вход *I* для приёма информации (рис. 3.39). Вход *R* позволяет сбросить все триггеры регистра одновременно.

Реверсивный сдвиговый регистр позволяет осуществить сдвиг информации внутри регистра как вправо, так и влево. Это может потребоваться для преобразования последующего кода. Например, если первоначально следовал старший разряд кода, то после преобразования первым будет преобразован младший разряд кода. Для организации реверсивного режима между входами и выходами триггеров включаются одноразрядные мультиплексоры с двумя информационными входами (рис. 3.40).

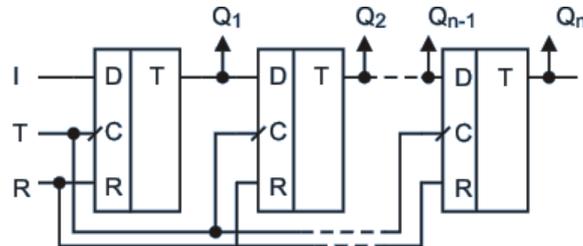


Рис. 3.39. Последовательный регистр прямого сдвига

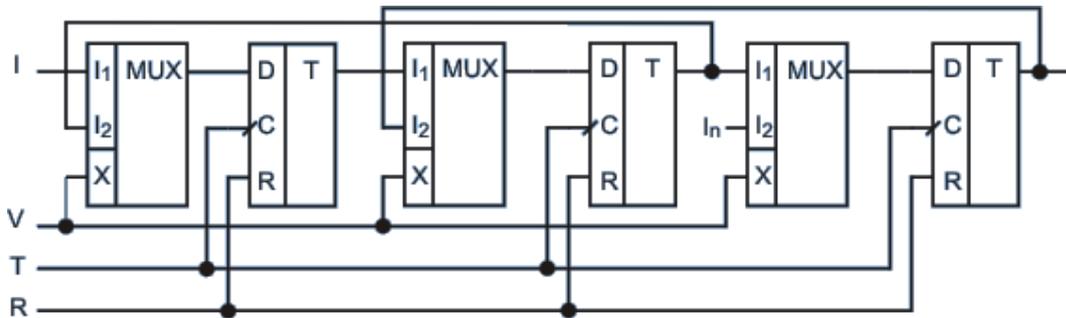


Рис. 3.40. Реверсивный регистр

Вход V управляет направлением сдвига информации. При $V = 0$ к выходу мультиплексора подключён вход I_1 и схема преобразуется в схему со сдвигом информации вправо. При $V = 1$ к входам мультиплексора подключён вход I_2 . При этом выход последующего триггера подключается к информационному входу предыдущего, и таким образом при приходе тактовых импульсов осуществляется сдвиг информации влево.

Параллельно-последовательные регистры. Такие регистры служат для преобразования информации с последовательного кода в параллельный или наоборот, а также могут выполнять функции как последовательных, так и параллельных регистров.

Для организации одновременного наличия двух режимов (параллельного и последовательного) чаще пользуются более простым схемотехническим решением – между триггерами включают одноразрядный мультиплексор (рис. 3.41).

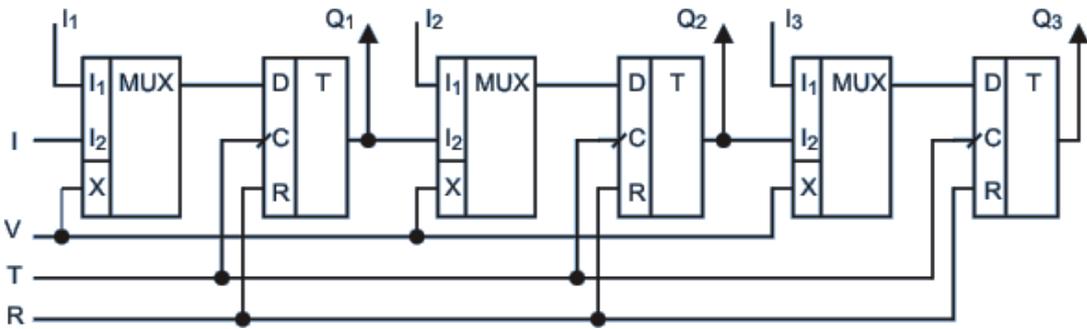


Рис. 3.41. Параллельно-последовательный регистр

При $V = 0$ организуется режим параллельного регистра. При этом в мультиплексорах к выходам подключены входы I_1 , на которые подаётся параллельный код. В момент прихода тактового импульса этот код записывается в регистр. При $V = 1$ организуется последовательный режим работы со сдвигом информации вправо. В мультиплексорах к выходам подключены входы I_2 , через которые осуществляется последовательный режим работы. Для организации в этом регистре реверсивного сдвигового режима необходимо между выходами мультиплексора и информационным входом триггера в каждом разряде подключить ещё один одноразрядный мультиплексор (рис. 3.42).

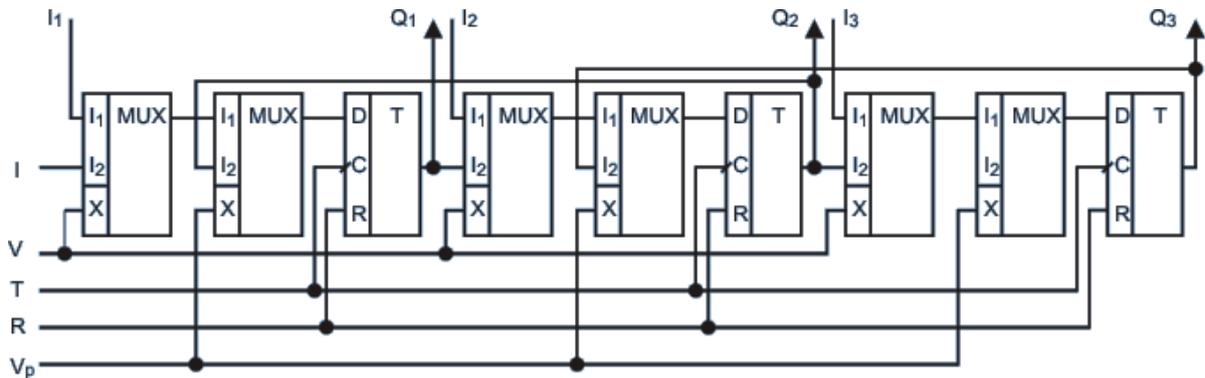


Рис. 3.42. Параллельно-последовательный реверсивный регистр

3.2.1.3. Память

Запоминающие устройства (ЗУ) или память предназначены для запоминания некоторого количества многоразрядных чисел и представляют собой такое же количество линейных регистров. Выбор линейного регистра осуществляется с помощью дешифратора, который обычно встроен в микросхему. Использование встроенных дешифраторов позволяет значительно сократить количество выводов микросхемы, так как для входов и выходов регистра используются одни и те же выводы микросхемы, подключаемые к разным регистрам через цифровые ключи, управляемые от дешифратора. Для удобства выбора линейного регистра используют матричный принцип дешифрирования управляющего входа. При этом накопитель из регистров организуют в виде таблицы,

выбор нужного регистра осуществляется с помощью дешифраторов строк и столбцов (рис. 3.43).

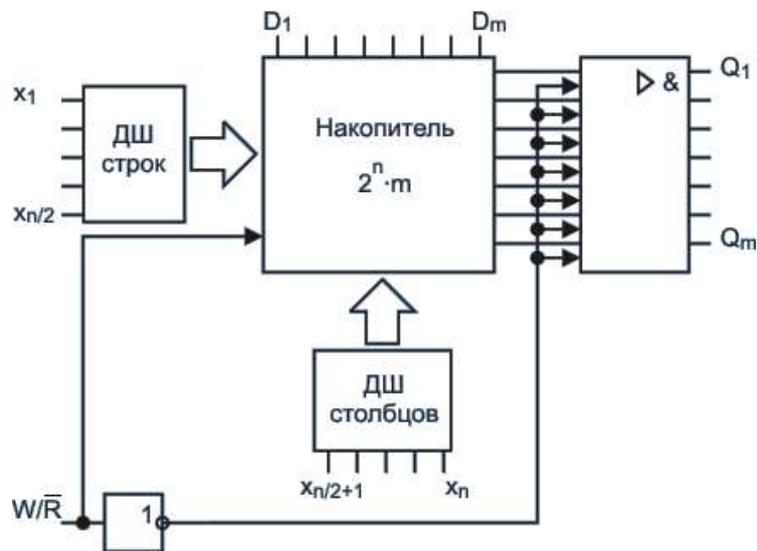


Рис. 3.43. Структурная схема запоминающего устройства:
 m – количество разрядов каждого числа; n – разрядность адресного кода

Оперативное запоминающее устройство (ОЗУ). ОЗУ используются для многократной перезаписи в них информации. ОЗУ бывают *статические* и *динамические*. Статические строятся на основе триггеров, а в динамических в качестве запоминающих элементов (ЗЭ) используются ёмкости (конденсаторы), подключённые через полевой транзистор к шине данных, чтобы увеличить время разряда.

Достоинством динамических ОЗУ является значительное сокращение транзисторов, используемых для построения запоминающих элементов. Недостатком динамических ОЗУ является наличие ёмкости, которая имеет свойства разряжаться с течением времени. Этот недостаток устраняется путём организа-

ции режима регенерации, т.е. восстановления напряжения на ёмкости через заданный интервал времени – обычно от 1 до 10 мкс.

На рисунке 3.44, кроме ЗЭ, упрощенно показаны цепи, необходимые для пояснения принципов записи-считывания информации. Запоминающий элемент включает конденсатор C_{Π} и транзисторный ключ $VT1$, подключающий этот конденсатор к шине данных (ШД). Затвор транзистора $VT1$ подключен к выходу дешифратора адреса CS . Поэтому при появлении на данном выходе дешифратора напряжения высокого уровня транзистор $VT1$ открывается, подключая конденсатор C_{Π} к ШД. В этом

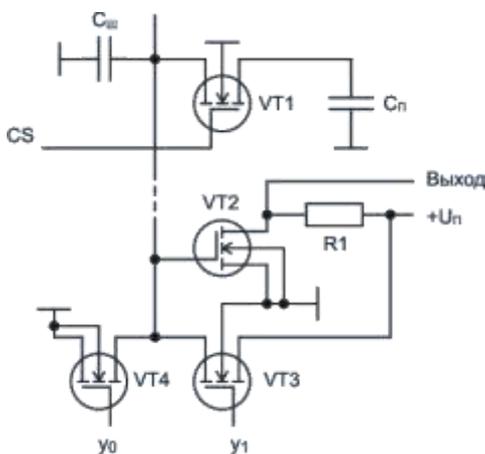


Рис. 3.44. Фрагмент структурной схемы динамического ОЗУ

случае в зависимости от режима работы можно либо считать информацию, либо записать новую.

К ШД подключен затвор транзистора VT2, выполняющего роль усилителя считывания. После подключения нужного конденсатора к ШД с выхода усилителя снимается напряжение, пропорциональное исходному напряжению на конденсаторе C_{Π} . ШД имеет большую собственную емкость $C_{\text{Ш}}$. Как правило, выполняется условие $C_{\text{Ш}} > C_{\Pi}$. Подключение к ШД конденсатора малой емкости за счет перераспределения зарядов емкостей $C_{\text{Ш}}$ и C_{Π} незначительно изменяет ее потенциал. Для распознавания этого изменения необходимо очень точно знать исходное напряжение шины, которое в процессе работы может принимать произвольное значение. Поэтому процесс считывания информации предполагает следующую последовательность действий:

- непосредственно перед считыванием информации фиксируют уровень напряжения ШД, для чего при помощи ключа VT3 емкость $C_{\text{Ш}}$ заряжают до напряжения питания;

- на нужный запоминающий элемент подают сигнал выборки CS; C_{Π} подключается к $C_{\text{Ш}}$, что сопровождается перераспределением заряда и соответствующим изменением напряжения на ШД;

- с выхода усилителя считывают сигнал, пропорциональный заряду конденсатора выбранного запоминающего элемента.

Считывание информации сопровождается ее разрушением. Запись информации выполняется с использованием транзисторов VT3 и VT4, которые по сигналу управления подключают ШД либо к источнику питания, либо к общей шине. При выборке нужного запоминающего элемента его конденсатор заряжается до напряжения ШД.

Реальная структура ИС динамического ОЗУ много сложнее показанного упрощенного варианта. Она содержит регистры и цепи управления процессами регенерации, а также дополнительную матрицу запоминающих элементов, используемую в качестве эталона. Для регенерации по сигналу с блока управления содержимое целой строки матрицы переписывается в регистр и обратно, за счет чего поддерживается требуемый уровень напряжения на конденсаторах памяти.

Постоянные запоминающие устройства (ПЗУ). ПЗУ предназначены для длительного хранения записанной в них информации без перезаписи. Они бывают масочные (информация в них записывается непосредственно в процессе их изготовления), с однократным программированием (обычно путём прожигания информации) и с многократным программированием (ультрафиолетовое или электрическое стирание информации).

Особенностью ПЗУ является отсутствие входов записи информации (программирование или прожигание осуществляется через выходы регистра, а в качестве запоминающих элементов обычно используют диоды или транзисторы в режиме инвертирующего повторителя).

На рисунке 3.45 приведена схема простейшего ПЗУ с организацией 4x8. Она включает дешифратор с двумя адресными шинами, восемь балластных резисторов R_{61} - R_{68} выходных шин и диоды, число которых равно числу логических 1, записанных в ПЗУ.

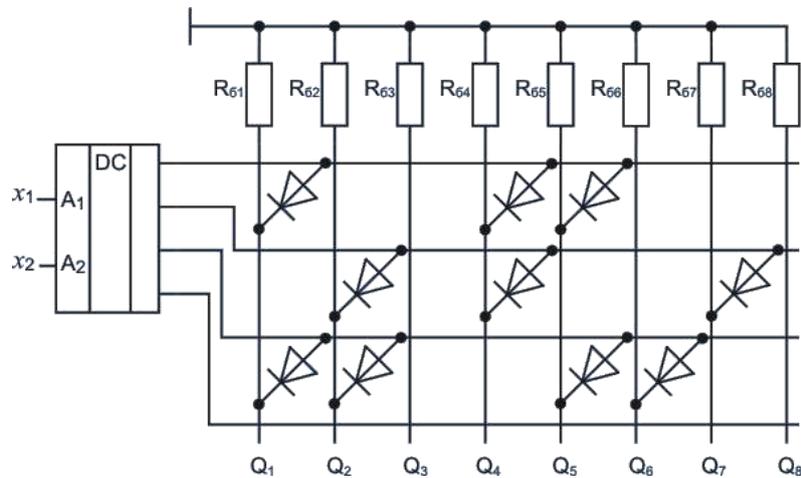


Рис. 3.45. ПЗУ с организацией 4x8

Работа ПЗУ сводится к следующему. После появления на выходе дешифратора напряжения высокого уровня, при наличии связи через диод между адресной шиной и шиной данных, это напряжение прикладывается к соответствующему балластному резистору, что воспринимается как появление на шине сигнала логической единицы. При отсутствии связи ток через соответствующий резистор не протекает, что классифицируется как сигнал логического нуля.

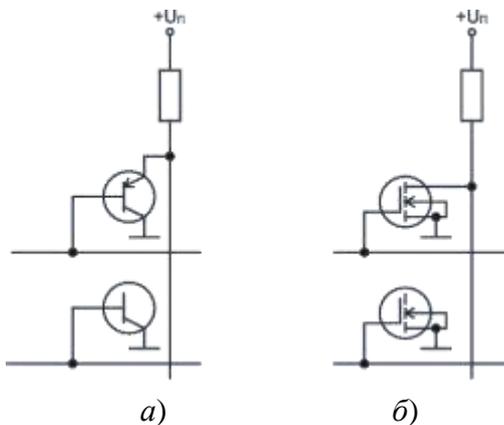


Рис. 3.46. Фрагменты масочных ПЗУ на биполярных (а) и полевых (б) транзисторах

В масочных ПЗУ связь между шиной дешифрованного адреса и шиной данных обеспечивается с помощью транзисторов, у которых могут отсутствовать некоторые части. Отсутствие части транзистора классифицируется как отсутствие связи (рис. 3.46).

В ПЗУ с однократным программированием первоначально имеется связь между шиной дешифрованного адреса и шиной данных для всех запоминающих элементов. Процесс записи осуществляется путем разрушения (пережигания) специально для этого предусмотренных перемычек между шинами дешифрованного адреса и выходными выводами. Такие перемычки изготавливаются из нихрома, поликремния или титаната вольфрама и имеют собственное сопротивление в несколько десятков Ом. Перемычка обычно включается в эмиттерную цепь транзистора. При программировании для разрушения такой перемычки через транзистор достаточно пропу-

стить импульс тока в 20...30 мА при длительности порядка 1мс. В нормальном режиме работы токи схемы существенно меньше необходимых для программирования, поэтому записанная информация при чтении не разрушается.

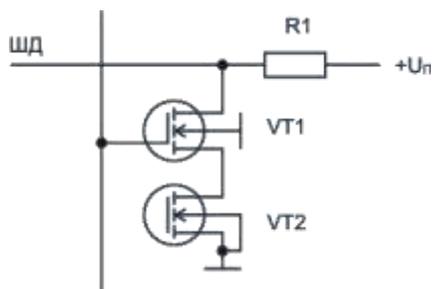


Рис. 3.47. Запоминающий элемент репрограммируемого ПЗУ

Репрограммируемые ПЗУ по сути являются электростатическими ЗУ. Логика построения их запоминающих элементов подобна логике запоминающих элементов динамического ОЗУ. Отличие состоит в том, что непосредственно носителем информации в них является не конденсатор, а специализированный МДП-транзистор (транзистор с «плавающим» затвором или МДП-транзистор с двухслойным диэлектриком) (рис. 3.47).

Транзистор VT1 служит для выбора по сигналу с выхода дешифратора адреса соответствующего транзистора памяти – VT2. Шина через ограничительный резистор подключена к выводу источника питания. При отпирании транзистора VT1 протекание тока в цепи его стока зависит от состояния транзистора VT2. Наличие или отсутствие тока классифицируется как хранение сигналов логической 0 или логическая 1. Обычно, если ток в цепи стока VT2 протекает, считают, что в ячейке был записан сигнал логический 0, если ток отсутствует – сигнал логическая 1.

3.2.2. Счётчики импульсов

Счетчиком называется устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде. По принципу действия счетчики делятся на *суммирующие*, *вычитающие* и *реверсивные*. По быстродействию счетчики делятся на *асинхронные*, *счетчики с переносом* и *синхронные*.

К основным характеристикам счетчиков относятся *модуль счета* (*коэффициент пересчета $K_{сч}$*) и *быстродействие*. Модуль счета $K_{сч}$ характеризует число устойчивых состояний счетчика, т.е. предельное число импульсов, которое может быть сосчитано счетчиком.

Основой для построения счётчиков является счётный триггер или T-триггер. Он представляет собой простейший одноразрядный счётчик (счётчик по модулю 2).

3.2.2.1. Асинхронные счётчики импульсов

Асинхронный счетчик импульсов представляет собой последовательно соединенные триггеры Т-типа, при этом срабатывание каждого последующего триггера осуществляется по фронту импульса, формируемого предыдущим триггером. Такие счётчики импульсов характеризуются низким быстродействием $t_3 = n \cdot \tau_{сраб}$, где n – количество разрядов счётчика, а $\tau_{сраб}$ – время срабатывания одного триггера. В таких счётчиках могут возникать кратковременные ложные комбинации (коды) во время последовательного срабатывания триггеров, которые могут вызывать ложное срабатывание последующих цифровых устройств.

Суммирующие асинхронные счётчики. На рисунке 3.48 показаны суммирующие асинхронные счетчики с коэффициентом пересчета $K_{сч} = 2^n = 2^3 = 8$, где n – число триггеров счетчика (разрядность) и их временные диаграммы.

Из временных диаграмм видно, что счётный триггер делит частоту на 2, поэтому счётные триггеры и счётчики импульсов могут использоваться как делители частоты.

Вычитающие асинхронные счётчики. Вычитающие счетчики осуществляют вычитание единицы (декремент) при каждом тактовом импульсе Т (рис. 3.49).

Из рисунках 3.48 и 3.49 видно, что в счетчиках на Т-триггерах направление счета зависит от типа используемого выхода, подключаемого к тактовому входу последующего триггера, и от типа входа тактирования. Следовательно, направление счета может быть изменено посредством изменения видов межразрядных связей. На этом принципе реализованы реверсивные счетчики.

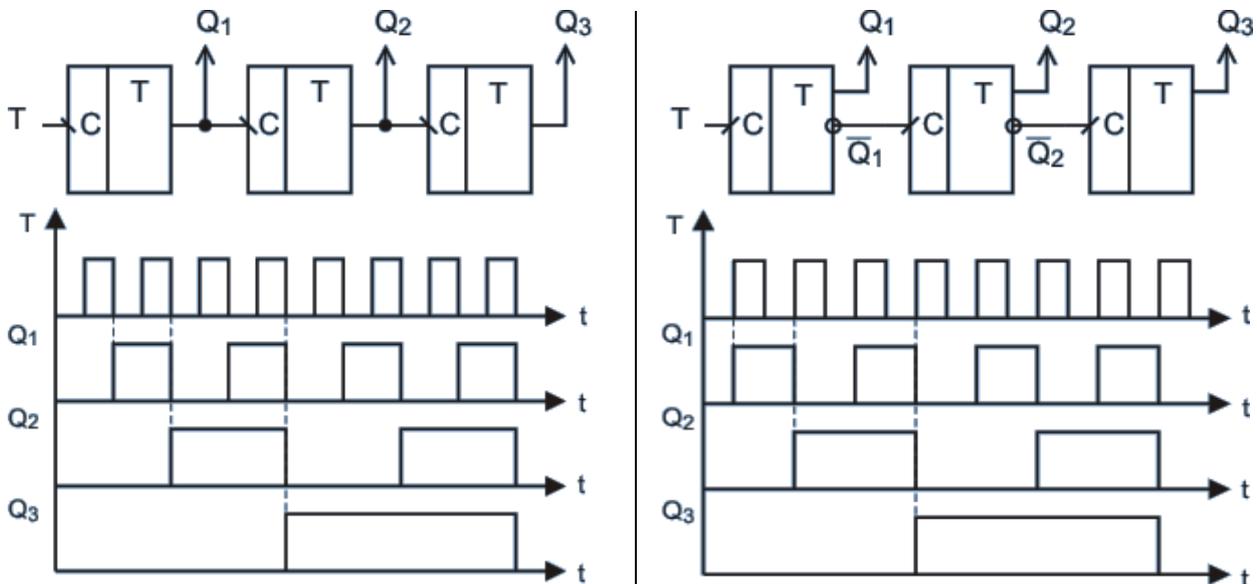


Рис. 3.48. Суммирующие асинхронные счетчики импульсов

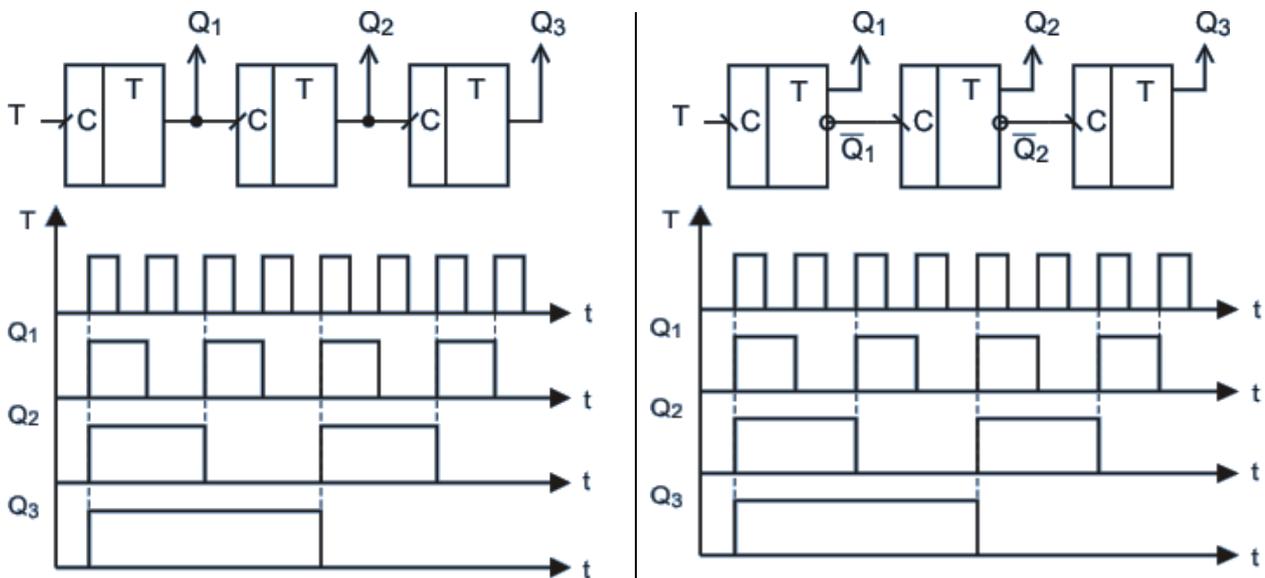


Рис. 3.49. Вычитающие асинхронные счетчики импульсов

Реверсивные счётчики. Такой счётчик является комбинацией двух предыдущих и позволяет осуществлять как суммирование, так и вычитание импульсов, что осуществляется посредством включения в состав каждой разрядной схемы счётчика мультиплексора (рис. 3.50).

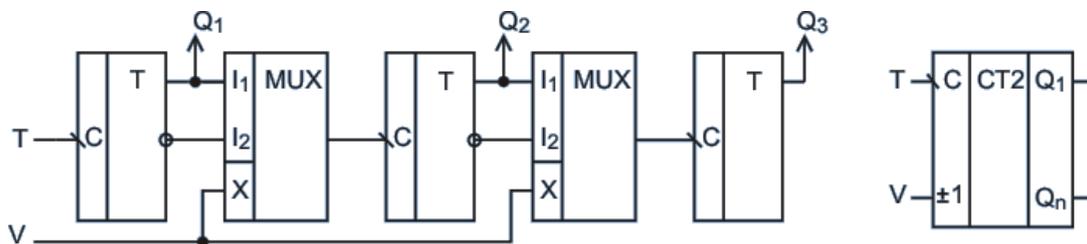


Рис. 3.50. Асинхронный реверсивный счётчик (слева) и его УГО (справа)

Сигнал на входе V определяет вид межразрядной связи, а следовательно, и тип получаемого счётчика. Если на вход ± 1 подать логический 0, то подключается первый канал мультиплексора и прямые входы предыдущих триггеров подключаются к тактовому входу последующих триггеров – суммирующий режим работы. При подаче на ± 1 логической 1 инвертирующие выходы предыдущих триггеров подключаются к тактовым входам последующих – вычитающий режим работы.

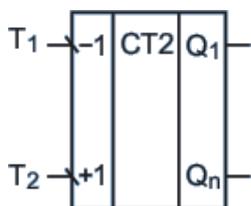


Рис. 3.51. УГО реверсивного счётчика

Также реверсивные счётчики строятся с двумя тактовыми входами: один – для суммирования, другой – для вычитания (рис. 3.51). Обычно такие счётчики реализуются на схемах с параллельным переносом.

Схему на рисунке 3.50 (справа) можно преобразовать в схему на рисунке 3.51 и наоборот, используя следующие схемотехнические решения (рис. 3.52).

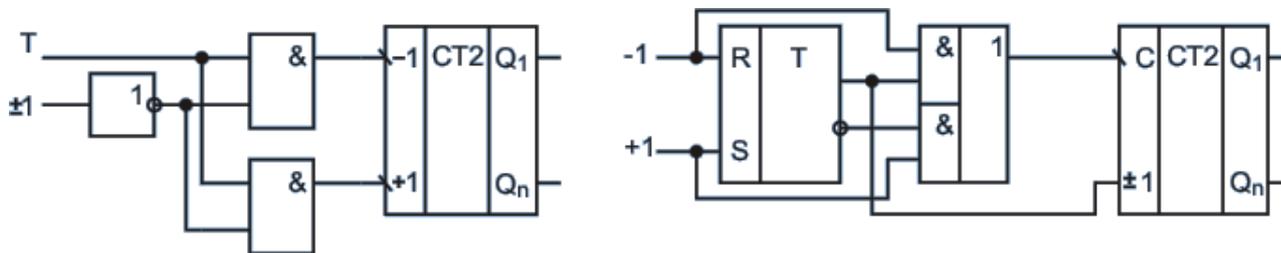


Рис. 3.52. Преобразование реверсивных счётчиков

На рисунке 3.52, б с помощью RS-триггера определяется режим работы (суммирование или вычитание), а мультиплексор (схема И-ИЛИ) объединяет оба канала тактовых импульсов в один.

Асинхронные счётчики с произвольным коэффициентом пересчёта.

Вышерассмотренные счётчики импульсов могут иметь коэффициент пересчёта только $K_{сч} = 2^n$, где n – количество триггеров.

В асинхронных счётчиках произвольный коэффициент пересчёта обеспечивается с помощью принудительной установки через асинхронные входы триггеров (R или S). Могут использоваться три способа принудительной установки: *принудительный насчет, принудительная начальная установка и принудительный сброс в ноль при достижении требуемого состояния счетчика.*

В счетчиках с принудительным насчетом исключение избыточных состояний двоичного счетчика достигается путем принудительной установки отдельных его разрядов в состояние 1 в процессе его счета. Принудительный насчет осуществляется введением обратных связей со старших разрядов двоичного счетчика в младшие, благодаря чему соответствующие младшие разряды вне очереди переключаются в состояние 1.

Способ реализации покажем на примере структурной схемы счетчика с $K_{сч} = 10$ (рис. 3.53).

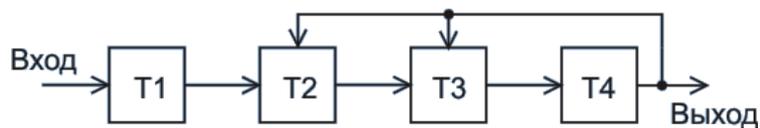


Рис. 3.53. Структурная схема асинхронного счетчика с принудительным насчетом

До записи 1 в четвертый разряд, т.е. до прихода восьмого счетного импульса, счетчик работает в обычном режиме. С приходом восьмого счетного импульса 1 записывается в триггер Т4 с осуществлением обратной связи на запись 1 во вторую и третью ячейки. Таким образом, после восьмого счетного импульса вследствие принудительного насчета в счетчик записывается число $8 + 6 = 14$. Девятый счетный импульс устанавливает 1 в Т1, а 10-й возвращает счетчик в исходное нулевое состояние.

Счетчики с принудительной начальной установкой в общем случае можно отнести к счетчикам с принудительным надсчетом, у которых насчет осуществляется не в процессе счета, а посредством внешней установки счетчика в исходное состояние, соответствующее числу запрещенных состояний.

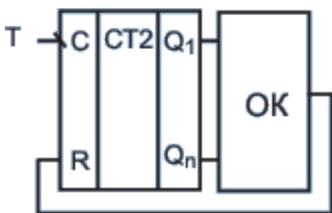


Рис. 3.54. Счетчик с принудительным сбросом

Наиболее широко используются счётчики с принудительным сбросом. Принцип его работы показан на рисунке 3.54.

Выбор количества триггеров (разрядов) n осуществляется из условия $2^{n-1} < K_{сч} < 2^n$. Определитель кода (ОК) должен определять соответствующий $K_{сч}$. При этом счётчик будет нормально считать в диапазоне от 0 до $K_{сч}-1$, а состояние счётчика $K_{сч}$ будет

сбрасывать его в ноль, так как на вход сброса R счетчика будет подан активный сигнал.

Недостатком счётчика является появление короткого ложного импульса на его входе, который может вызвать ложное срабатывание последующих цифровых устройств.

3.2.2.2. Счетчики с переносом

Счетчики с переносом обладают большим быстродействием по сравнению с асинхронными счетчиками, потому что в них счетные триггеры срабатывают не последовательно, а практически одновременно, благодаря формированию переноса. В счётчиках с переносом тактовые импульсы поступают через цифровые ключи практически одновременно на все счётные триггеры, а управление ключами осуществляется с помощью схемы переноса (СП). На рисунке 3.55 показана структурная схема такого счетчика.

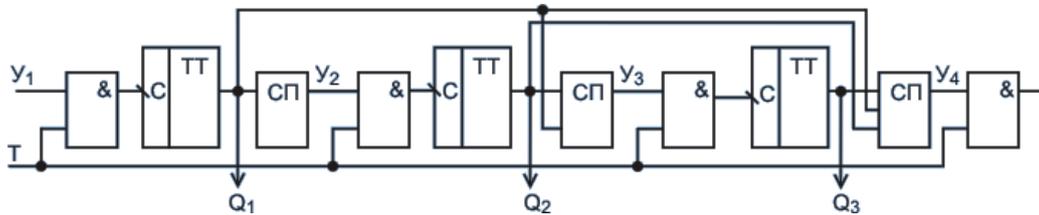


Рис. 3.55. Схема счетчика с переносом

На СП подаются выходные сигналы всех предыдущих триггеров и, в зависимости от их состояния, определяется – разрешать срабатывание последующих триггеров или нет. Анализ двоичных кодов от 0000 до 1111 показывает, что изменение значения следующего разряда происходит в том случае, если на всех предыдущих разрядах присутствуют единицы. Благодаря этому свойству СП выполняются в виде схемы И. При этом, когда появляется единица на выходе предыдущего триггера, открывается цифровой ключ на входе последующего триггера. В результате при приходе тактового импульса этот триггер срабатывает и изменяет своё состояние на противоположное. В счётчиках с переносом, реализуемым по рассмотренной схеме, могут использоваться счётные триггеры, работающие только по заднему фронту.

Такие счётчики делятся на 2 типа: с *параллельным* и *последовательным переносом*.

Счётчик с параллельным переносом. В счётчиках с параллельным переносом (рис. 3.56) в качестве СП используются для n -ого разряда счётчика ($n-1$)-входные схемы И, формирующие сигнал переноса в соответствии с логической функцией: $y_n = Q_1 Q_2 \dots Q_{n-1}$.

Часто в такой схеме СП и цифровой ключ объединяются в одну схему И, имеющую n -входов для n -ого разряда.

В схеме с параллельным переносом осуществляется быстрое формирование переноса для всех разрядов счётчика, однако при большом числе разрядов счётчик с параллельным переносом становится громоздким.

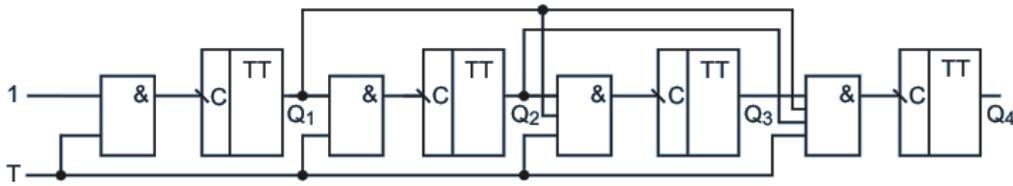


Рис. 3.56. Четырёхразрядный счётчик с параллельным переносом

Счётчик с последовательным переносом. В счётчиках с последовательным переносом (рисунок 3.57) формирование переноса осуществляется с помощью последовательно соединённых схем 2И, формирующих сигнал переноса в соответствии с логической функцией: $y_n = [(Q_1 Q_2) Q_3] \dots Q_{n-1}$. Эта схема имеет несколько большее время формирования переноса, однако на работу счётчика никакого влияния не оказывает. Иногда эта схема упрощается за счёт объединения схем переноса и цифрового ключа в соответствии с формулой: $Y_n = [(T Q_1) Q_2] \dots Q_{n-1}$.

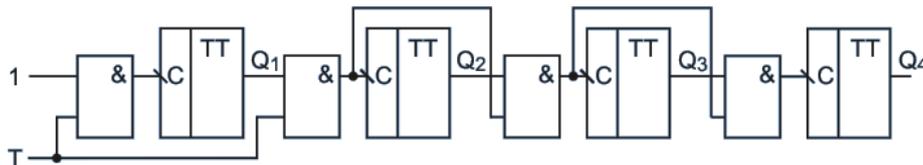


Рис. 3.57. Четырёхразрядный счётчик с последовательным переносом

Счётчики с комбинированным переносом. Идея построения счётчиков с комбинированным переносом (рис. 3.58) состоит в разбиении разрядных схем счётчика на группы, внутри которых осуществляют либо последовательный, либо параллельный перенос. Формирование сигнала переноса между группами выполняется элементами И лишь в случае, когда триггеры всех входящих в данную группу разрядных схем установлены в единичное состояние, т.е. по параллельному принципу.

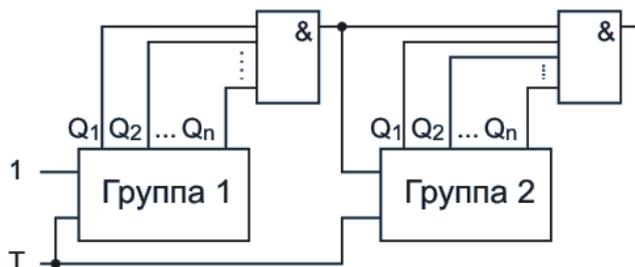


Рис. 3.58. Счётчик с комбинированным переносом

Счётчики с произвольным коэффициентом пересчёта. Вышерассмотренные схемы счётчиков с переносом позволяют реализовать коэффициент пересчёта, равный 2^n . В таких счётчиках возможно получение другого коэффициента пересчёта с помощью введения дополнительных элементов в схемах формирования переноса. В отличие от схем асинхронных счётчиков с произвольным коэффициентом пересчёта схемы со сквозным переносом более надёжны в работе и не допускают ложных коротких импульсов. В качестве основы для построения счётчиков с произвольным коэффициентом пересчёта служит схема счётчика с полным параллельным переносом.

Порядок разработки счётчика с произвольным коэффициентом пересчёта $K_{сч}$.

1. Выбирается n счётных триггеров (разрядов) счётчика из условия $2^{n-1} < K_{сч} < 2^n$.

2. В схему счётчика с параллельным переносом добавляется дешифратор (определитель) выходного кода счётчика, равного $(K_{сч}-1)$. Он реализуется на основе n -разрядной схемы И (рис. 3.59, а). Можно уменьшить количество входов в схеме И, если подавать на неё только разряды, в коде которых $(K_{сч}-1)$ присутствует единица (рис. 3.59, б).

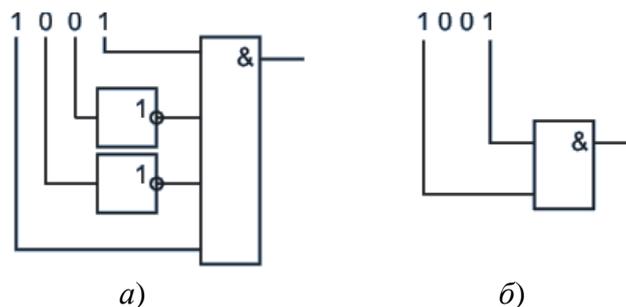


Рис. 3.59. Функциональная схема дешифратора (определителя) выходного кода счетчика

3. Записывается значение трёх кодов: $K_{сч}-1$, $K_{сч}$ и 0. Далее анализируются действия, необходимые, чтобы перевести счётчик из состояния $(K_{сч}-1)$ в состояние 0, а не в состояние $K_{сч}$. При этом возможно 3 варианта для любого разряда счётчика: *оставить формирование переноса без изменений, запретить срабатывание разряда* или *сброс разряда в ноль*.

Например, для $K_{сч} = 6$ имеем:

$K_{сч}-1$	1	0	1
$K_{сч}$	1	1	0
0	0	0	0
Действие:	сброс	запрет	без изм.

4. Для первого варианта сохраняется формирование переноса без изменений. Для запрета на схему переноса требуемого разряда дополнительно заводят

инверсный сигнал дешифратора кода. Для реализации сброса к требуемому разряду организуют дополнительный канал для прохождения тактового импульса, управляемый от дешифратора. На рисунке 3.60 показана реализация счетчика с $K_{сч} = 6$.

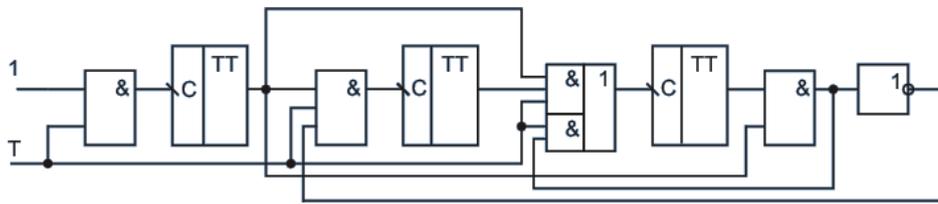
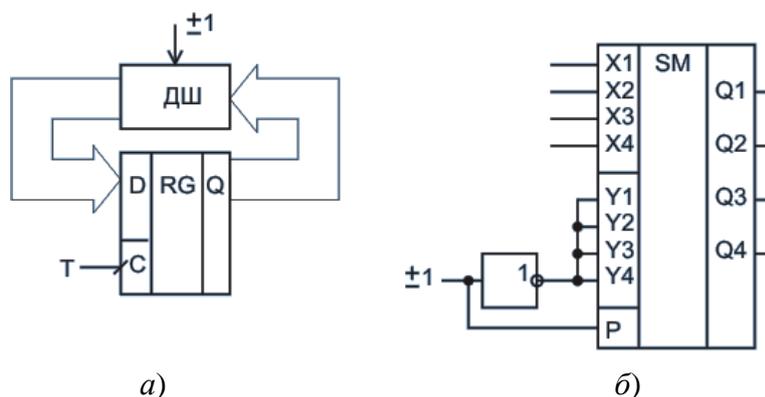


Рис. 3.60. Счетчик с коэффициентом пересчета $K_{сч} = 6$

3.2.2.3. Синхронные счётчики

Синхронные счетчики являются самыми быстродействующими, так как тактовые импульсы в них подаются непосредственно на тактовые входы триггеров счётчика. Они реализуются на основе параллельного регистра и дешифратора (рис. 3.61, а).



ДШ – дешифратор

Рис. 3.61. Реверсивный синхронный счетчик (а) и дешифратор (б)

В качестве дешифраторов можно использовать сумматор (рис. 3.61, б), в котором осуществляется прибавление к выходному входу регистра единицы. Легко организовать реверсивный синхронный счётчик, вычитая на сумматоре единицу из кода регистра. При подаче на вход инвертора логической единицы на входы Y подаются все нули, а прибавление единицы осуществляется за счет входа переноса P , на который подается логическая единица. При подаче на инвертор логического нуля на входы Y подаются единицы, а на вход P – ноль.

3.2.3. Распределители сигналов

Распределители сигналов применяются в многоканальных цифровых устройствах для управления работой каналов (рис. 3.62). Они делятся на распределители импульсов (РИ), распределители уровня (РУ) и комбинированные

распределители. Выходы распределителя обычно называют каналами, а входы распределителя, при подаче сигнала на которые происходит включение нового канала распределителя, – переключающими входами.



Рис. 3.62. Распределитель сигналов на три канала

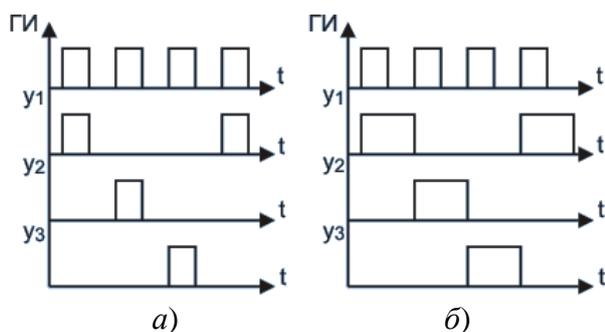


Рис. 3.63. Временные диаграммы РИ (а) и РУ (б)

показаны векторные диаграммы РИ и РУ.

Более просто реализуются распределители уровней, а на их основе строятся распределители импульсов. На рисунке 3.64 показана схема построения РИ на основе схем РУ.

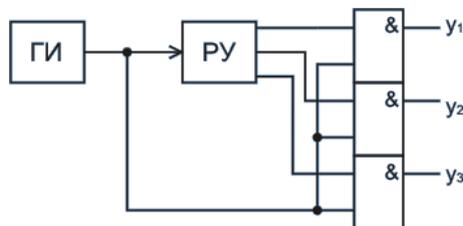


Рис. 3.64. РИ на основе РУ

Распределители уровней можно реализовать на основе счётчика импульсов СИ и дешифратора ДШ (рис. 3.65). В таких схемах не рекомендуется использовать асинхронные счётчики импульсов, так как в этом случае формируются ложные короткие импульсы на выходе дешифратора.



Рис. 3.65. РУ на основе СИ

На рисунке 3.66 показан распределитель уровней на основе последовательного регистра.

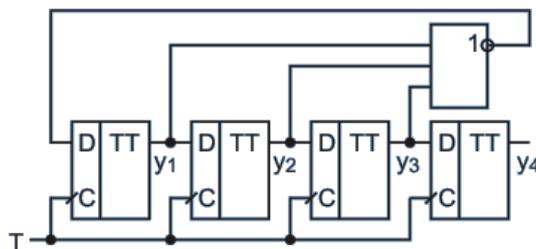


Рис. 3.66. ПУ на основе последовательного регистра

В исходном состоянии на выходе регистра присутствуют нули. В результате на выходе элемента ИЛИ-НЕ формируется единица, которая подаётся на D-вход первого триггера регистра. При приходе первого тактового импульса эта единица записывается в первый триггер. Затем по второму импульсу она переписывается во второй триггер и т.д., пока не доходит до последнего триггера. В этот момент на выходе схемы ИЛИ-НЕ снова образуется единица и процесс повторяется.

Недостатком схемы является появление ложного состояния (все нули на выходах триггеров в момент включения схемы) и использование большого количества триггеров.

3.2.4. Импульсный частотно-фазовый дискриминатор

Импульсный частотно-фазовый дискриминатор (ИЧФД) предназначен для определения частотного и фазового рассогласования двух сравниваемых частот. Причем он формирует сигнал фазового рассогласования при равенстве частот в виде широтно-импульсной модуляции (ШИМ), а при отличии сравниваемых частот формирует сигналы насыщения (логический ноль или логическая единица, в зависимости от результата сравнения). Непосредственно частотное рассогласование ИЧФД не определяет, а сигнализирует только об отличии частот. Широкое применение ИЧФД нашли в системах связи и электроприводе.

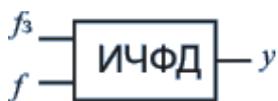


Рис. 3.67. ИЧФД

Алгоритм работы ИЧФД. На вход ИЧФД подаются две сравниваемые частоты: заданная частота f_3 и исследуемая f . На выходе снимается сигнал результата сравнения y (рис. 3.67).

ИЧФД может находиться в трех состояниях:

1. Режим насыщения при $f_3 > f$, при этом $y = 1$.

2. Режим фазового сравнения частот. В этом режиме y представляет собой последовательность импульсов, длительность которых пропорциональна фазовому рассогласованию частот (ФР), а период следования равен периоду задающей частоты T_3 (рис. 3.68).

3. Режим насыщения при $f_3 < f$, при этом $y = 0$.

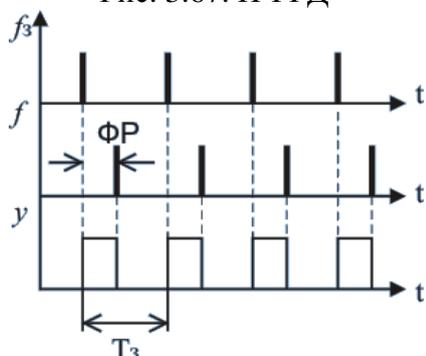


Рис. 3.68. Временные диаграммы ИЧФД, работающего в режиме фазового сравнения

Алгоритм работы ИЧФД основан на определении момента времени, когда между двумя импульсами одной частоты пройдут два импульса другой частоты. В этот момент происходит изменение режима работы ИЧФД в соответствии со следующим алгоритмом.

Если два импульса частоты f прошли между двумя импульсами f_3 , то произойдет следующее изменение режима работы ИЧФД, в зависимости от текущего состояния:

- 1) переход из режима 1 в режим 2;
- 2) переход из режима 2 в режим 3;
- 3) нет перехода.

Если же два импульса частоты f_3 прошли между двумя импульсами f , то изменение режимов ИЧФД произойдет в обратном порядке:

- 1) переход из режима 3 в режим 2;
- 2) переход из режима 2 в режим 1;
- 3) нет перехода.

Такой алгоритм работы реализуется на основе реверсивного двухразрядного двоичного счетчика импульсов (рис. 3.69, а), работающего с насыщением в состоянии 11 и 00. Такой счетчик имеет четыре состояния: А (00), В (01), С (10) и D (11). Алгоритм работы ИЧФД удобно отображать в виде графа переходов (рис. 3.69, б).

По тактовым входам счетчика используются цифровые ключи 2И, управляемые сигналами со схем 2И-НЕ и 2ИЛИ-НЕ, которые задают режимы насыщения при кодах 11 и 00 соответственно. На рисунке 3.70 показана временная диаграмма рассматриваемого ИЧФД при изменении режима работы.

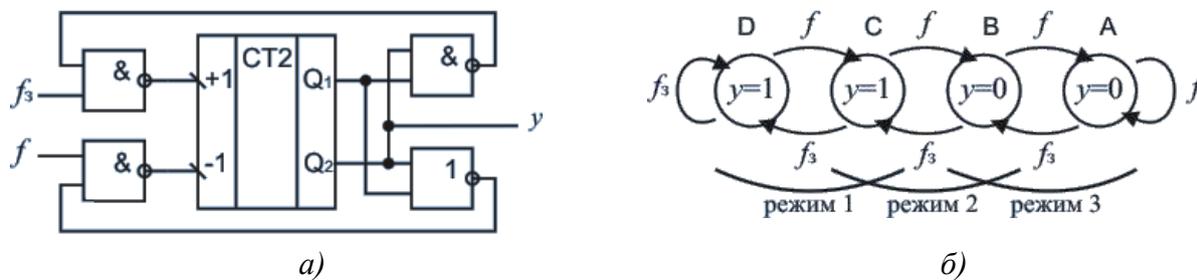


Рис. 3.69. ИЧФД (а) и его граф переходов (б)

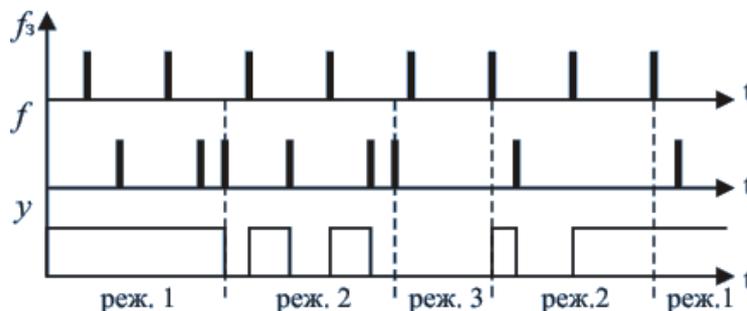


Рис. 3.70. Временные диаграммы ИЧФД при изменении режима работы

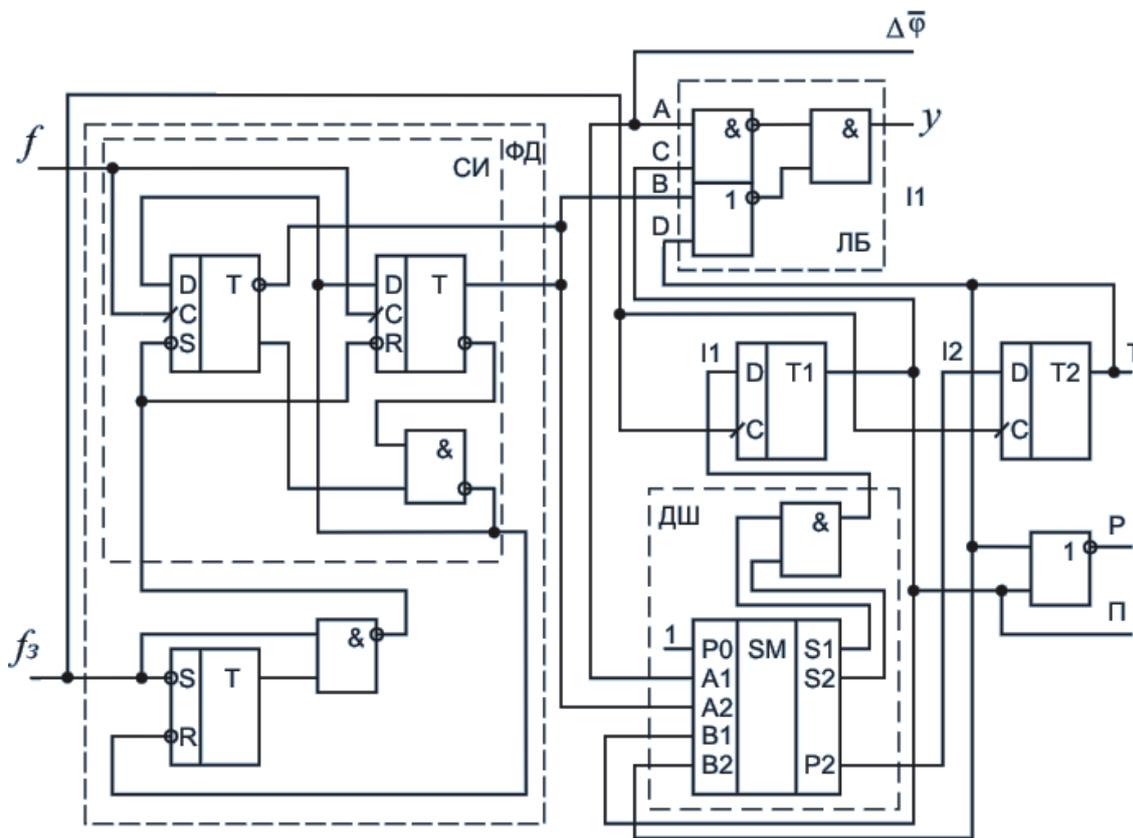


Рис. 3.71. ИЧФД с блокирующими триггерами

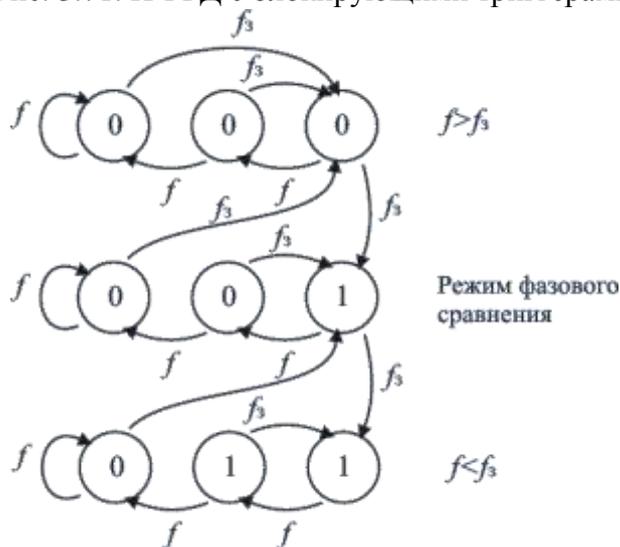


Рис. 3.72. Граф переходов ИЧФД с блокирующими триггерами

Достоинством рассмотренной на рисунке 3.69 схемы является ее простота и надежность работы, к недостаткам следует отнести возможные сбои в работе при наложении во времени ее входных импульсов, отсутствие индикации режимов работы и отсутствие выхода непрерывного фазового сравнения. Первый недостаток устраняется путем использования на входе ИЧФД схем разделения совпадающих во времени импульсов. Индикация режимов работы и дополнительный выход фазового сравнения требуются только при построении сложных

систем управления, и при их необходимости используется другая схема ИЧФД (рис. 3.71). Граф переходов данного ИЧФД показан на рисунке 3.72.

В этой схеме синхронный счетчик импульсов (СИ) служит для подсчета количества импульсов частоты f , поступивших между двумя соседними импульсами частоты задания f_3 . Сброс СИ в исходное состояние 00 осуществляется по переднему фронту импульса частоты f_3 . Дешифратор ДШ в зависимости от состояния счетчика импульсов и блокирующих триггеров Т1, Т2 формирует сигналы, поступающие на информационные входы И1, И2 блокирующих триггеров в соответствии с таблицей 3.9, где А, В, С, D – выходы счетчика импульсов и блокирующих триггеров.

Таблица 3.9

Режим работы	Логические сигналы					
	D	C	B	A	И1	И2
$f < f_3$	0	0	0	0	0	0
	0	0	0	1	0	0
	0	0	1	0	0	1
$f = f_3$	0	1	0	0	0	0
	0	1	0	1	0	1
	0	1	1	0	1	0
$f > f_3$	1	0	0	0	0	1
	1	0	0	1	1	0
	1	0	1	0	1	0

Блокирующие триггеры Т1, Т2 служат для формирования сигналов блокировки выходного сигнала $\Delta\bar{\varphi}$ фазового дискриминатора ФД с помощью схемы логической блокировки ЛБ. При этом высокий уровень сигнала С на выходе первого блокирующего триггера соответствует режиму фазового сравнения ИЧФД, высокий уровень сигнала D на выходе второго триггера – режиму насыщения при $f > f_3$, а низкие уровни сигналов С и D – режиму насыщения при $f < f_3$.

Данный ИЧФД работает следующим образом. Импульсы частоты f подсчитываются счетчиком импульсов. При поступлении более двух импульсов частоты f между двумя соседними импульсами частоты f_3 счетчик импульсов переходит в режим насыщения. Сброс счетчика импульсов в исходное состояние 00 происходит по переднему фронту импульса частоты f_3 .

По переднему фронту импульса частоты f_3 производится перезапись информации в блокирующие триггеры Т1, Т2 в зависимости от их предыдущего состояния и состояния счетчика импульсов (в соответствии с таблицей 3.9). Если к моменту прихода импульса частоты f_3 на счетчик импульсов поступил только один импульс частоты f , то в блокирующих триггерах сохраняется предыдущая информация. При отсутствии импульсов частоты f между двумя соседними импульсами частоты f_3 в триггерах происходит изменение информации следующим образом:

- 1) из режима насыщения при $f > f_3$ происходит переход в режим фазового сравнения;
- 2) из режима фазового сравнения – переход в режим насыщения при $f < f_3$;
- 3) режим насыщения при $f < f_3$ сохраняется.

При приходе двух или более импульсов частоты f между двумя соседними импульсами частоты f_3 изменение режимов работы ИЧФД происходит в обратном порядке.

В режиме фазового сравнения схема ЛБ открыта сигналами с выходов блокирующих триггеров, и сигнал $\Delta\bar{\varphi}$ с выхода СИ проходит на выход импуль-

сного частотно-фазового дискриминатора. В режимах насыщения ИЧФД схема ЛБ закрывается, и на ее выходе формируется логический уровень напряжения, значение которого определяется состоянием блокирующих триггеров (знаком ошибки Δf регулируемой частоты f). В ИЧФД предусмотрен дополнительный выход фазового дискриминатора $\Delta\bar{\varphi}$, не имеющий насыщения. Работа ИЧФД поясняется временными диаграммами (рис. 3.73).

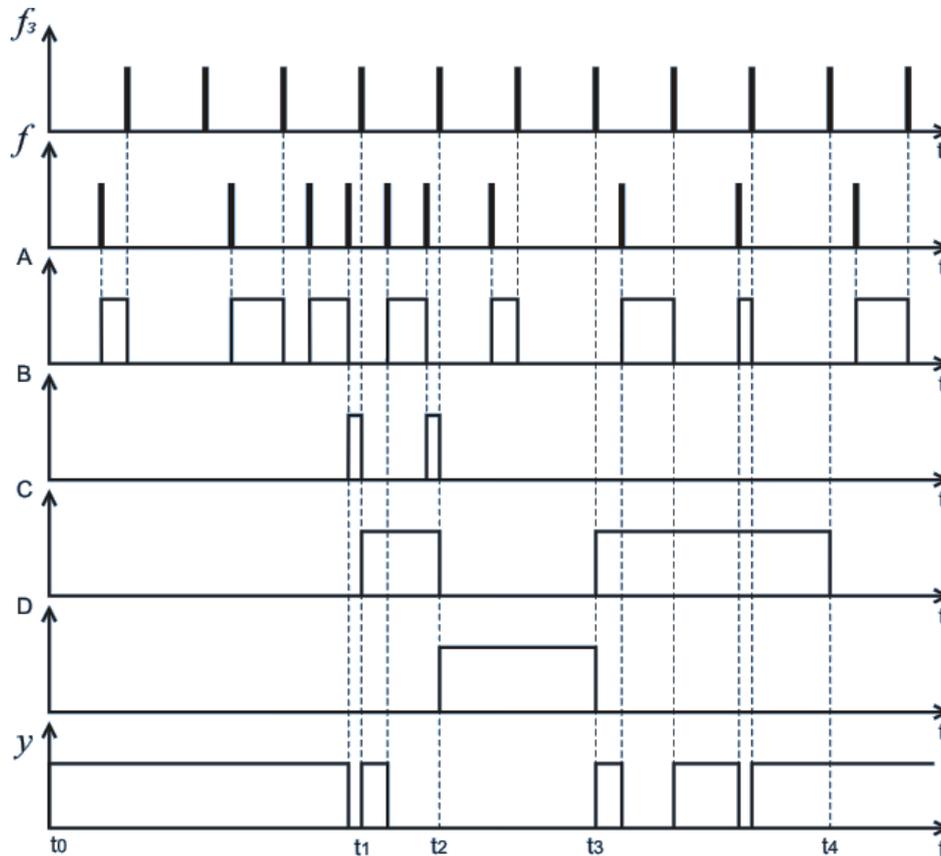


Рис. 3.73. Временные диаграммы ИЧФД с блокирующими триггерами

На интервале t_0, t_1 импульсный частотно-фазовый дискриминатор находится в режиме насыщения при $f < f_3$, и на выходе схемы ЛБ формируется высокий уровень напряжения. При увеличении частоты f в момент прихода двух импульсов частоты f между двумя соседними импульсами частоты f_3 (момент времени t_1) устройство переходит в режим фазового сравнения. опережение изменения режима работы ИЧФД при приходе двух импульсов частоты f между двумя соседними импульсами частоты f_3 обеспечивается действием сигнала В, передний фронт которого совпадает с передним фронтом второго импульса частоты f , а задний фронт – с передним фронтом импульса частоты f_3 . При этом новый режим работы ИЧФД устанавливается сразу после прихода второго импульса частоты f , не ожидая прихода синхронизирующего импульса частоты f_3 .

На интервале t_1, t_2 ($f = f_3$) импульсный частотно-фазовый дискриминатор находится в режиме фазового сравнения ($y = \Delta\bar{\varphi}$). При дальнейшем увеличении частоты f в момент времени t_2 повторного прихода двух импульсов частоты f

между двумя соседними импульсами частоты f_3 устройство переходит в режим насыщения при $f > f_3$. Опережение появления низкого уровня напряжения на выходе ИЧФД обеспечивается появлением высокого уровня сигнала В.

На интервале t_2, t_3 импульсный частотно-фазовый дискриминатор находится в режиме насыщения при $f > f_3$. При уменьшении частоты f в момент времени t_3 (отсутствие импульсов частоты f между двумя соседними импульсами частоты f_3) устройство возвращается в режим фазового сравнения, а при дальнейшем уменьшении частоты f в момент времени t_4 (повторное отсутствие импульсов частоты f между двумя соседними импульсами частоты f_3) устройство переходит в режим насыщения при $f < f_3$. Дальнейшее снижение частоты f не приводит к изменению режима работы.

3.3. УСТРОЙСТВА СОГЛАСОВАНИЯ РАБОТЫ ЦИФРОВЫХ УСТРОЙСТВ

К устройствам согласования работы цифровых устройств относятся *преобразователи уровней* и *элементы с тремя выходными состояниями*.

Преобразователи уровней используются для согласования работы цифровых устройств по напряжению и по току при применении в одном устройстве логических элементов разных серий (на полевых и биполярных транзисторах). Преобразование уровней напряжения требуется также в устройстве, если различные его части имеют разное напряжение питания.

Например, большинство КМОП ИС имеют малые выходные токи – выходы не могут быть нагружены даже на один вход ТТЛ-серии. Для согласования уровней выходных и входных напряжений и токов выпускаются дополнительные логические элементы, которые имеют входные цепи (рис. 3.74, а), отличающиеся от входных цепей всех остальных логических элементов (рис. 3.74, б). Так как во входных цепях таких логических элементов отсутствуют диоды защиты, подключенные к $U_{п}$, то на их входы можно подавать напряжение $U_{вх} > U_{п}$. Для обеспечения необходимого уровня выходного тока, позволяющего подключать к выходу несколько логических элементов ТТЛ-серии, логические элементы имеют выходной каскад с открытым стоком и подключенный к выходу резистор (рис. 3.74, в).

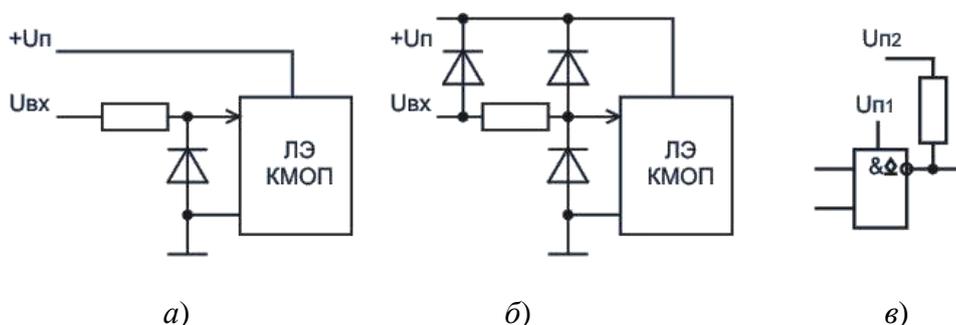


Рис. 3.74. Входная цепь логического элемента КМОП, допускающего подавать на вход напряжение больше напряжения питания (а), входная цепь обычных логических элементов КМОП (б), схема повышения выходного тока логического элемента КМОП (в)

Элементы (инверторы и повторители) с тремя выходными состояниями: логический 0, логическая 1 и состояние с бесконечным сопротивлением (практически разрыв) – используются при работе цифровых устройств через общую шину.

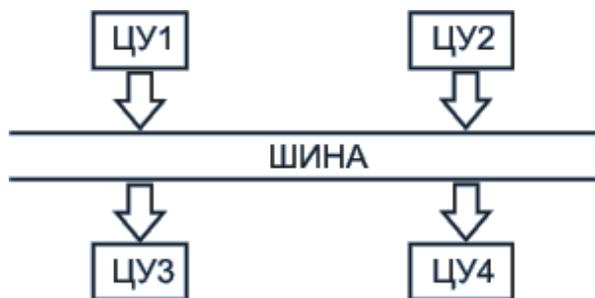


Рис. 3.75. Структурная схема цифрового устройства, работающего с общей шиной

Через такие элементы к общей шине могут подключаться выходы нескольких цифровых устройств (рис. 3.75). В этом случае необходимо организовать поочередное подключение выходов устройств к общей шине для передачи в нее информации и соответствующий порядок подключения устройств, считывающих с нее информацию.

4. УСТРОЙСТВА, СОГЛАСУЮЩИЕ РАБОТУ ЭЛЕМЕНТОВ ЦИФРОВОЙ И АНАЛОГОВОЙ ТЕХНИКИ

4.1. ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифроаналоговые преобразователи (ЦАП) осуществляют преобразование n -разрядного двоичного кода (n – количество цифровых входов ЦАП) в аналоговый сигнал, пропорциональный этому коду.

При построении ЦАП используют принцип получения токовых сигналов, пропорциональных каждому разряду кода. Затем токовые сигналы, соответствующие единицам заданного кода, суммируются и с помощью операционного усилителя преобразуются в напряжение (рис. 4.1).

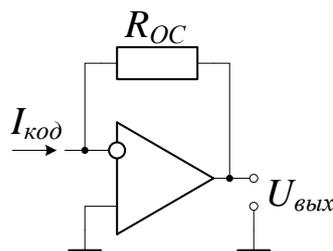


Рис. 4.1. Преобразователь ток – напряжение на операционном усилителе

Величину токов с разными весовыми коэффициентами формируют с помощью наборов сопротивлений. Существует два распространенных способа получения пропорционального коду тока.

I. Первый способ использует сопротивления со значениями, кратными 2^i , где $i = 0 \dots n-1$; n – количество разрядов двоичного кода (рис. 4.2). Ключ замыкается тогда, когда на соответствующий разряд поступает логическая единица. Благодаря тому, что операционный усилитель с помощью резистора R_{OC} охвачен петлей отрицательной обратной связи, узел суммирования остается под нулевым потенциалом, при этом исключается взаимное влияние составляющих токов при суммировании. Основным недостатком такой схемы является необходимость использования большого количества прецизионных резисторов разных номиналов. В то же время схема отличается простотой.

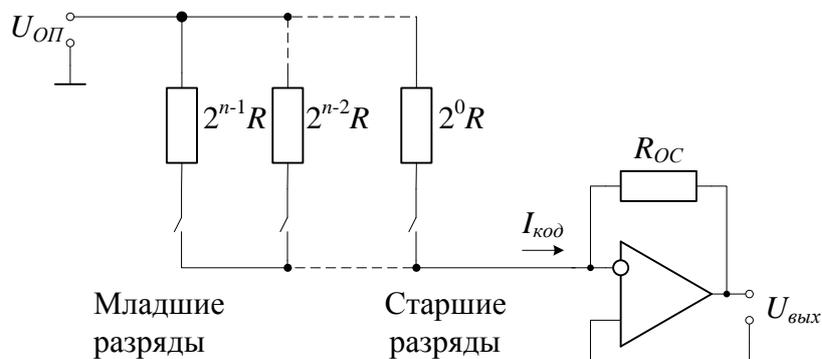


Рис. 4.2. ЦАП с сопротивлениями, кратными степени двойки

II. Второй способ использует два набора сопротивлений, величины которых отличаются в два раза: R и $2R$ (рис. 4.3). Работа матрицы R - $2R$ основана на том, что выходное сопротивление любой отсекаемой от нее выходной части схемы, содержащей целое число R - $2R$ звеньев, определяется параллельным соединением двух цепей, сопротивления каждой из которых равно $2R$. Поясним это. Между узлом «а» матрицы и общей шиной параллельно включены два резистора $2R$, поэтому выходное сопротивление матрицы относительно узла «а» равно R . Между узлом «б» и общей шиной схемы также параллельно включены резистор $2R$ и последовательно соединенные резистор R и выходное сопротивление матрицы относительно узла «а», равное R . Поэтому выходное сопротивление матрицы относительно узла «б» также равно R и т.д.

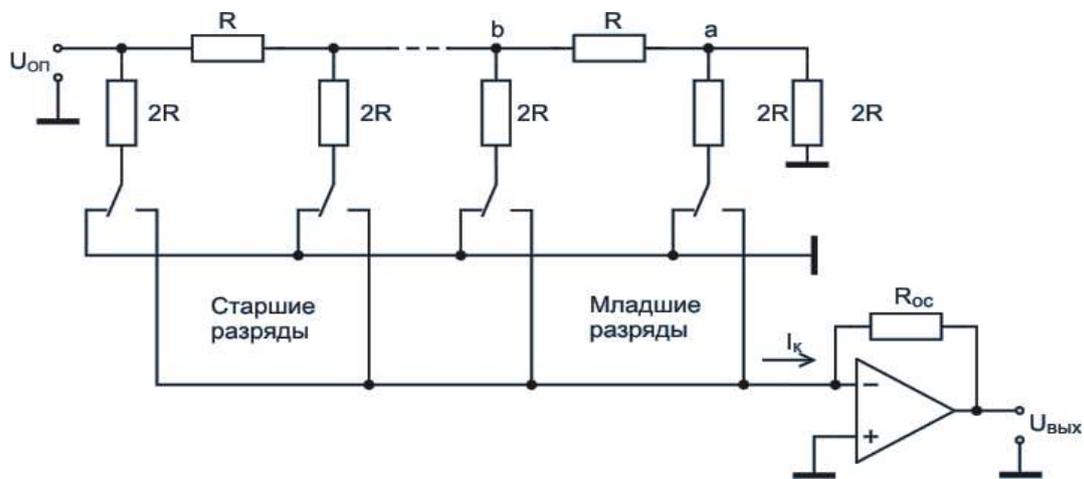


Рис. 4.3. ЦАП с резистивной матрицей R - $2R$

4.2. АНАЛОГОВО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Аналогово-цифровые преобразователи (АЦП) предназначены для преобразования аналоговых сигналов в n -разрядный двоичный код. По принципу действия все существующие типы АЦП можно разделить на две группы:

- АЦП со сравнением входного преобразуемого сигнала с дискретными уровнями напряжений (АЦП последовательного счета, следящие АЦП, параллельные пороговые АЦП, АЦП приближения);
- АЦП с зарядом конденсатора или интегрирующие АЦП (преобразователи напряжения в частоту, АЦП с модуляцией длительности импульса или одноктактные интегрирующие АЦП и двухтактные интегрирующие АЦП).

4.2.1. АЦП со сравнением входного преобразуемого сигнала с дискретными уровнями напряжений

АЦП последовательного счета. На рисунке 4.4 показана структурная схема АЦП последовательного счета.

Запуск процесса преобразования начинается по сигналу «Пуск». При этом счетчик СИ сбрасывается в нулевое состояние и на выходе ЦАП, управляемом

выходным кодом счетчика, устанавливается напряжение, равное нулю, при этом компаратор K находится в таком состоянии, что через вентиль B с генератора Γ тактовые импульсы начинают поступать в счетчик импульсов. По мере возрастания числа импульсов, накопленных в СИ, выходное напряжение ЦАП также возрастает. В момент времени, когда число в счетчике импульсов возрастет настолько, что выходное напряжение ЦАП превысит входное $U_{вх}$, компаратор изменит свое состояние, закрыв при этом вентиль и прекратив поступление тактовых импульсов в счетчик. В результате полученный в счетчике импульсов параллельный цифровой код $N_{вых}$ будет цифровым эквивалентом преобразуемого напряжения.

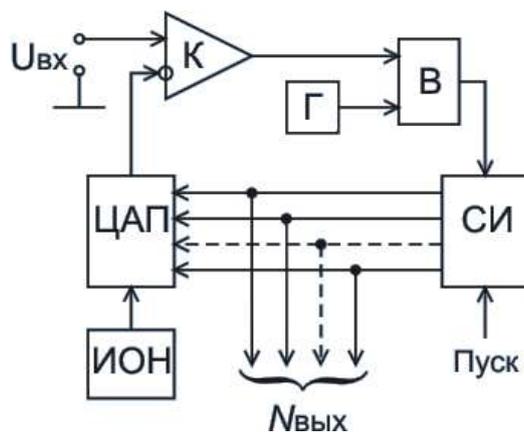


Рис. 4.4. Структурная схема АЦП последовательного счета

Разрядность и разрешающая способность таких АЦП определяется разрядностью и разрешающей способностью используемого в его составе ЦАП. Погрешность преобразования таких АЦП определяется порогом срабатывания компаратора ΔU_k и погрешностью преобразования ЦАП $\Delta U_{ЦАП}$, т.е. $\delta_{\Sigma} = \delta_k + \delta_{ЦАП} = \Delta U_k / U_{вх} + \Delta U_{ЦАП} / U_{вх}$.

Недостатком такого АЦП является длительное время преобразования, которое зависит от величины преобразуемого напряжения.

Следящий АЦП. На рисунке 4.5 показана структурная схема следящего АЦП. В такой схеме используется реверсивный счетчик импульсов (РСИ). Выходной сигнал компаратора K определяет направление счета в зависимости от того, входное напряжение АЦП превышает или нет выходное напряжение АЦП.

Первый цикл преобразования следящего АЦП аналогичен АЦП последовательного счета, т.е. РСИ заполняется тактовыми импульсами и на цифровых входах ЦАП формируется параллельный двоичный код, который обеспечивает возрастание выходного напряжения ЦАП. Когда выходное напряжение ЦАП достигает значения входного напряжения $U_{вх}$, срабатывает компаратор K и прекращает счет импульсов, при этом выходной код $N_{вых}$ соответствует входному напряжению. Первый цикл преобразования по длительности такой же, как и в

предыдущем АЦП. Однако данный преобразователь весьма быстро реагирует на малые отклонения входного напряжения. В этом случае код РСИ может отследить эти изменения за несколько тактов, увеличивая или уменьшая число импульсов, записанное в РСИ, в зависимости от знака рассогласования текущего значения преобразуемого напряжения $U_{вх}$ и выходного напряжения ЦАП. Погрешность преобразования данного АЦП определяется так же, как и для предыдущего АЦП.

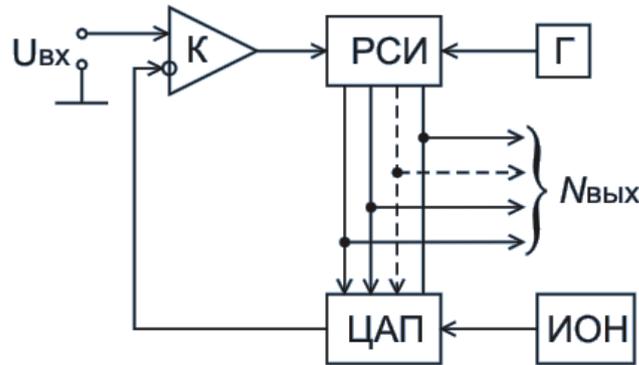


Рис. 4.5. Структурная схема следящего АЦП

АЦП параллельного преобразования. Данный тип АЦП реализует метод непосредственного считывания и является на сегодняшний день самым быстродействующим. Принцип его работы поясняется на рисунке 4.6.

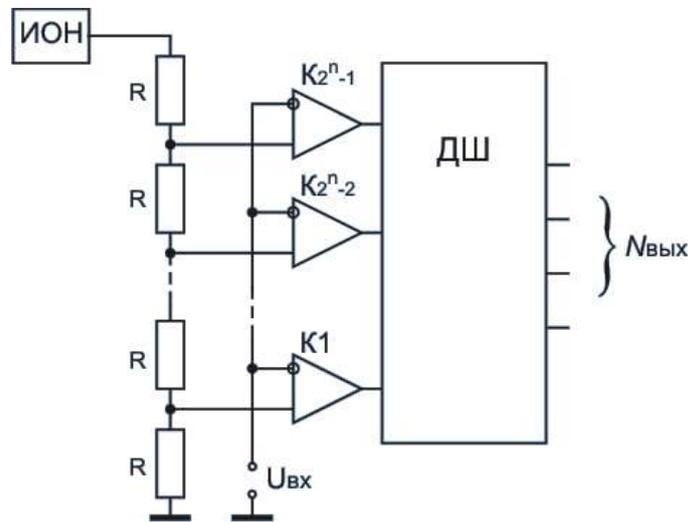


Рис. 4.6. Структурная схема параллельного АЦП

В этой схеме с помощью прецизионного делителя напряжения задается сетка напряжений с шагом, соответствующим преобразуемому напряжению в младший разряд. Затем, с помощью компараторов, эта сетка сравнивается с входным напряжением, и на выходе компаратора формируется код Джонсона, который с помощью дешифратора преобразуется в двоичный код.

Относительная погрешность АЦП данного типа определяется суммой трех погрешностей $\Delta_{\Sigma} = \delta_{on} + \delta_{ki} + \delta_{on.ki} = \Delta U_{on}/U_{on} + \Delta U_{ki}/U_{ex} + \Delta U_{on.ki}/U_{ex}$, где ΔU_{ki} – порог срабатывания компаратора i -го разряда; $\Delta U_{on.ki}$ – погрешность формирования входного опорного напряжения компаратора i -го разряда.

Недостатком схемы является сложность ее реализации, так как количество используемых в схеме компараторов значительно превышает количество разрядов выходного кода. Например, для построения десятиразрядного АЦП необходимо $2^{10} = 1024$ компараторов.

АЦП последовательного приближения. В основе АЦП последовательного взвешивания (рис. 4.7) лежит метод поразрядного уравнивания. В таком АЦП код в регистре результата (РПП – регистр последовательных приближений) меняется так, чтобы обеспечить наиболее близкое уравнивание входного напряжения с выходным напряжением ЦАП, подключённого к этому регистру.

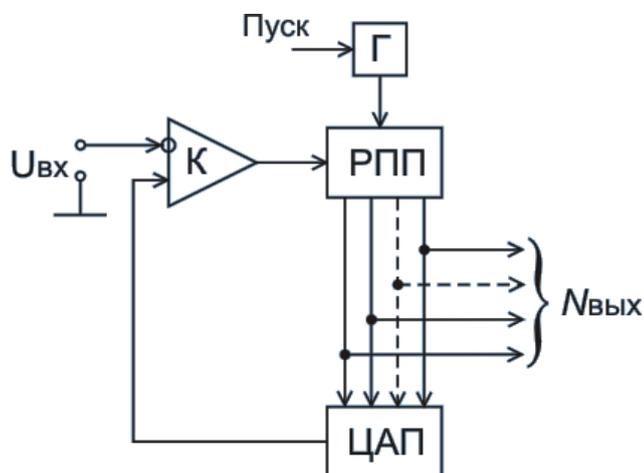


Рис. 4.7. Структурная схема АЦП последовательного приближения

Уравнивание начинается со старшего разряда. В этом разряде в начале устанавливается 1 и оценивается знак разности сигналов (входного и с выхода ЦАП). Если знак “+” (входное напряжение больше напряжения на выходе ЦАП), то 1 в старшем разряде сохраняется, а добавляется единица в следующий разряд. Если же знак “–”, то в старший разряд записывается 0, а в более младший – единица. Процесс уравнивания продолжается до тех пор, пока не осуществится уравнивание самого младшего разряда. В конце уравнивания напряжение на входе АЦП и выходе ЦАП сравниваются. Весь цикл преобразования осуществляется за n тактов.

Погрешность таких АЦП определяется так же, как и у АЦП последовательного счета. Достоинством такой схемы является возможность построения n -разрядных (12-разрядных и выше) преобразователей сравнительно высокого быстродействия.

4.2.2. АЦП с зарядом конденсатора (интегрирующие АЦП)

Принцип работы АЦП с зарядом конденсатора основан на преобразовании в код отрезка времени, необходимого для заряда конденсатора до некоторого опорного уровня напряжения или до уровня входного напряжения.

АЦП с преобразованием напряжения в частоту. Такие преобразователи строятся по следующему принципу (рис. 4.8).



Рис. 4.8. Структурная схема АЦП с преобразованием напряжения в частоту: ПНЧ – преобразователь напряжение – частота; ПЧК – преобразователь частота – код

ПНЧ строятся на основе интегратора и компараторов напряжения (рис. 4.9)

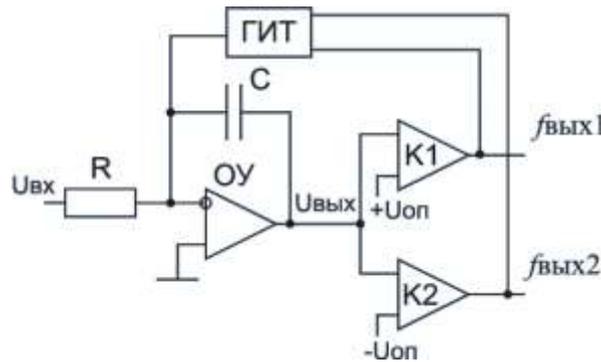


Рис. 4.9. Схема ПНЧ

В этом преобразователе выходное напряжение интегратора $U_{\text{вых}}(t) = U_{\text{вх}}/\tau_{\text{инт}}t$, где $\tau_{\text{инт}} = RC$ – постоянная времени интегратора. Оно линейно меняется во времени до момента срабатывания одного из компараторов при превышении выходным напряжением интегратора значения порога срабатывания $+U_{\text{оп}}$ или $-U_{\text{оп}}$ (если $U_{\text{вх}}$ отрицательной полярности, то срабатывает $K1$, а если положительной – то $K2$).

Выходной импульс компаратора запускает генератор импульса тока (ГИТ), возвращающего интегратор в нулевое состояние, после чего процесс повторяется.

Частота на выходах компараторов пропорциональна преобразуемому напряжению $f_{\text{вых}} = U_{\text{вх}}/(|U_{\text{оп}}|\tau_{\text{инт}})$. Из этого выражения следует, что коэффициент преобразования устройства $k_n = f_{\text{вых}}/U_{\text{вх}} = 1/(|U_{\text{оп}}|\tau_{\text{инт}})$.

Относительная погрешность преобразования определяется нестабильностью параметров U_{on} и $\tau_{инт}$. Для результирующей относительной погрешности преобразования можно записать $\delta_{\Sigma} = \Delta k_n = \delta_{on} + \tau_{инт} = |\Delta U_{on}/U_{on}| + |\Delta \tau_{инт}/\tau_{инт}|$.

Получение кода из последовательности импульсов осуществляется различными ПЧК. Структурная схема одного из таких преобразователей показана на рисунке 4.10.

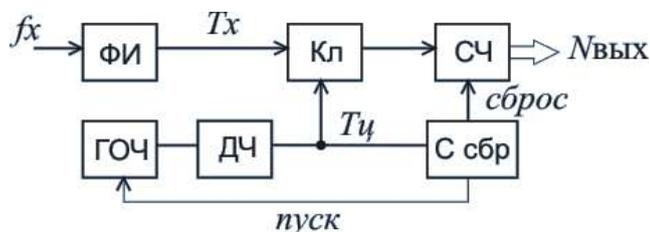


Рис. 4.10. Схема циклического ПЧК с непосредственным отсчетом частоты

Работа такого ПЧК основана на подсчете $N_{вых}$ импульсов неизвестной частоты $f_x = 1/T_x$ за точно определенный интервал (цикл) времени. В этом случае $T_u = N_{вых} T_x$; $N_x = T_u/T_x = T_u f_x$.

В ПЧК в течение длительности цикла T_u , формируемого с помощью генератора опорной частоты ГОЧ и делителя частоты ДЧ, ключ $Кл$ открыт и пропускает сигналы из формирователя импульсов неизвестной частоты f_x на счетчик СЧ. По окончании T_u ключ запирается, в результате чего прекращается доступ счетных импульсов в СЧ. Сформированный в СЧ код $N_{вых}$ пропорционален входной частоте f_x . Одновременно срезом сигнала T_u запускается схема сброса $С сбр$, которая через определенный интервал τ , достаточный для съема кода СЧ в дальнейший такт обработки, вырабатывает короткий импульс $С сброс$ СЧ и запуск ГОЧ в целях формирования нового цикла преобразования. Показания счетчика $N_{вых}$ численно равны среднему за время T_u значению измеряемой частоты f_x .

АЦП с модуляцией длительности импульса. Такие АЦП имеют структурную схему, показанную на рисунке 4.11.



Рис. 4.11. Структурная схема АЦП с модуляцией длительности импульса: ПНВ – преобразователь напряжение – время; ПВК – преобразователь время – код

Они характеризуются тем, что уровень входного аналогового сигнала $U_{вх}$ преобразуется в импульс, длительность которого $t_{инт}$ является функцией значения входного сигнала и преобразуется в цифровую форму с помощью подсчета числа периодов опорной частоты, которые укладываются между началом и концом импульса. На рисунке приведен один из возможных вариантов ПНВ.

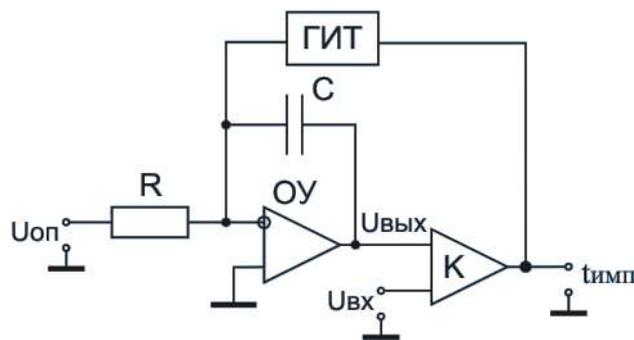


Рис. 4.12. Схема ПНВ

Выходное напряжение $U_{вых}(t)$ интегратора под действием подключенного к его входу $U_{оп}$ меняется от нулевого уровня со скоростью $v_{вых} = U_{оп}/\tau_{инт}$. В момент, когда выходное напряжение интегратора становится равным входному $U_{вх}$, компаратор K срабатывает, в результате чего на его выходе формируется импульс длительностью $t_{имп} = U_{вх}/U_{вых} = U_{вх}\tau_{инт}/U_{оп}$. За время $t_{имп}$ напряжение $U_{вых}$ изменяется от нулевого уровня до $U_{вх}$. Таким образом, длительность сформированного компаратором напряжения импульса $t_{имп}$ однозначно определяет значение входного преобразуемого напряжения $U_{вх}$.

Коэффициент преобразования данного устройства $k_n = t_{имп}/U_{вх} = \tau_{инт}/U_{оп}$. Таким образом, погрешность преобразования определяется нестабильностью параметров $\tau_{инт}$ и $U_{оп}$. Дальнейшее преобразование $t_{имп}$ осуществляется с помощью ПВК. Один из таких ПВК показан на рисунке 4.13.

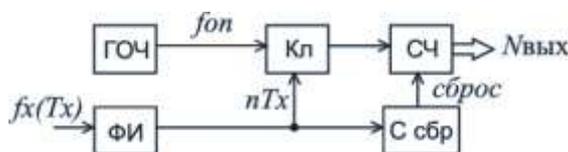


Рис. 4.13. Схема ПВК

Данный преобразователь основан на подсчете числа импульсов опорной частоты $f_{он}$ с периодом $T_{он}$ в течение одного или нескольких периодов T_x входного сигнала f_x . В преобразователе формирователь импульсов ФИ, на вход которого поступает частотно- или времяимпульсный сигнал $f_x(T_x)$, формирует управляющие импульсы с длительностью в один или несколько периодов T_x . В течение этого времени ключ $Кл$ открыт и импульсы опорной частоты с периодом $T_{он} (T_{он} \ll T_x)$ поступают на вход СЧ. В течение длительности управляющего импульса в СЧ формируется код $N_{вых}$, пропорциональный измеряемому периоду T_x : $N_{вых} = nT_x/T_{он} = n/(f_x T_{он}) = nT_x f_{он}$; $T_x = N_{вых} T_{он}/n$, где n – число периодов T_x , формирующих длительность управляющего импульса.

Таким образом, выходной код СЧ пропорционален периоду неизвестной частоты T_x и обратно пропорционален значению частоты f_x . Следовательно, при

обработке частотно-модулированных сигналов для получения отсчета, прямо пропорционального частоте f_x , необходимо иметь дополнительное устройство, выполняющее операцию обратного преобразования кодов. Этот метод измерения частоты характеризуется наибольшим быстродействием из всех известных способов.

Двухтактный интегрирующий АЦП (АЦП с двойным интегрированием) обладает более высокими метрологическими характеристиками. Во время первого такта работы такого АЦП происходит заряд интегрирующего конденсатора C интегратора входным напряжением $U_{вх}$ и выходное напряжение интегратора меняется по закону (рис. 4.14) $U_{вых1}(t) = U_{вх}t/\tau_{инт}$.

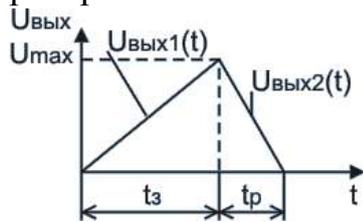


Рис. 4.14. Временная диаграмма работы двухтактного интегрирующего АЦП

Во время второго такта происходит разряд конденсатора C опорным напряжением $U_{он}$ от достигнутого уровня U_{max} до значения $U_о$, с которого был начат процесс зарядки, т.е. во втором такте выходное напряжение интегратора меняется по закону $U_{вых2}(t) = U_{max} - U_{он}t/\tau_{инт}$.

Следует отметить, что время заряда интегрирующего конденсатора $t_з$ строго фиксировано. Следовательно, амплитуда напряжения U_{max} , до которого успевает зарядиться конденсатор C , определяется уровнем входного напряжения $U_{вх}$. В свою очередь, время разряда t_p непостоянно и зависит от преобразуемого напряжения. Для данного АЦП справедливо соотношение $t_p = U_{вх}t_з/U_{он}$, т.е. t_p является оценкой преобразуемой величины $U_{вх}$.

На рисунке 4.15 представлен один из возможных вариантов АЦП с двойным интегрированием.

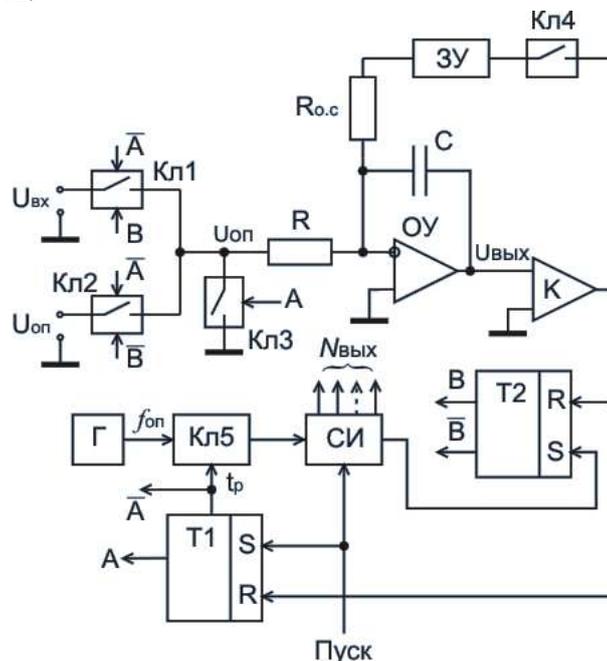


Рис. 4.15. Схема двухтактного интегрирующего АЦП

Сигнал A с триггера $T1$ соединяет вход интегратора через ключ $Kл3$ с нулевым потенциалом. Выходной уровень интегратора балансируется вспомогательной цепью, куда входят компаратор K , ключ $Kл4$ и аналоговое запоминающее устройство смещения $ЗУ$. Эта цепь обеспечивает коррекцию смещения нуля $ОУ$ интегратора и порога срабатывания K . После окончания коррекции смещения нуля вспомогательная цепь отключается, а $ЗУ$ поддерживает компенсирующий сигнал на входе интегратора во время процесса преобразования. Затем на вход интегратора подается преобразуемый сигнал $U_{вх}$. С приходом команды *Пуск* счетчик $СИ$ устанавливается в нулевое положение и импульсы от генератора Γ опорной частоты $f_{он}$ через отпирающий ключ $Kл5$ проходят на его вход. Процесс интегрирования входного сигнала продолжается до момента заполнения $СИ$, после чего сигнал переполнения опрокидывает триггер $T2$, с помощью которого от входа интегратора отключается измеряемый сигнал и подключается напряжение $U_{вх}$ обратной полярности, при этом напряжение на входе интегратора начинает убывать. Уменьшение этого напряжения до заданного уровня фиксирует K и своим выходным сигналом прерывает цикл преобразования, отключая от входа интегратора опорное напряжение и прекращая поступление импульсов с генератора Γ на $СИ$.

Параллельный выходной код $N_{вых}$ счетчика, соответствующий числу импульсов $N = f_{он}t_p = f_o t_3 U_{вх}/U_{он}$, заполнивших его за время второго такта преобразования t_p , является цифровым эквивалентом входной преобразуемой величины $U_{вх}$. Значение $t_3 = N_{СИ}/f_{он}$ определяется емкостью $N_{СИ}$ счетчика $СИ$ и опорной частоты $f_{он}$ генератора Γ . Следовательно результат преобразования $N = N_{СИ}U_{вх}/U_{он}$.

Коэффициент преобразования АЦП $k_n = N/U_{вх} = N_{СИ}/U_{он}$. Из этого соотношения следует, что погрешность преобразования определяется нестабильностью опорного напряжения $U_{он}$ и погрешностью дискретности (разрешающей способностью) δ_d , т.е. результирующая относительная погрешность преобразования АЦП $\delta_\Sigma = \delta_{он} + \delta_d = \Delta U_{он}/U_{он} + 1/N_{СИ}$.

В результате анализа приведенных соотношений можно заключить, что метод двухтактного интегрирования обладает рядом существенных преимуществ. На погрешности преобразования не сказывается нестабильность элементов интегрирующей RC-цепочки и частоты $f_{он}$ генератора Γ , поскольку их влияние одинаково во время заряда и разряда конденсатора.

5. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

5.1. УСИЛИТЕЛИ С ОТРИЦАТЕЛЬНОЙ ОБРАТНОЙ СВЯЗЬЮ

Операционным усилителем обычно называют усилитель постоянного тока, имеющий коэффициент усиления по напряжению выше тысячи.

Термин «операционный усилитель» возник в аналоговой вычислительной технике, где подобные усилители с соответствующей обратной связью применялись для моделирования различных математических операций (интегрирование, суммирование и т. д.). Появление полупроводниковых ОУ в виде интегральных схем (ИС), имеющих относительно низкую стоимость и высокие технические характеристики, привело к тому, что ОУ очень быстро стал наиболее широко применяемой, универсальной аналоговой ИС.

Принципиальные схемы интегральных ОУ содержат, как правило, один, два или три транзисторных каскада усиления напряжения (причем входной каскад всегда выполняется по дифференциальной параллельно-симметричной схеме), выходной каскад усиления тока (эмиттерный повторитель) и цепи согласования каскадов между собой.

Эквивалентная схема ОУ для низких частот показана на рисунке 5.1. Входящие в эту схему суммирующие узлы (обозначены кружками) предполагаются идеальными: их выходное напряжение равно сумме входных напряжений, взятых с соответствующим знаком.

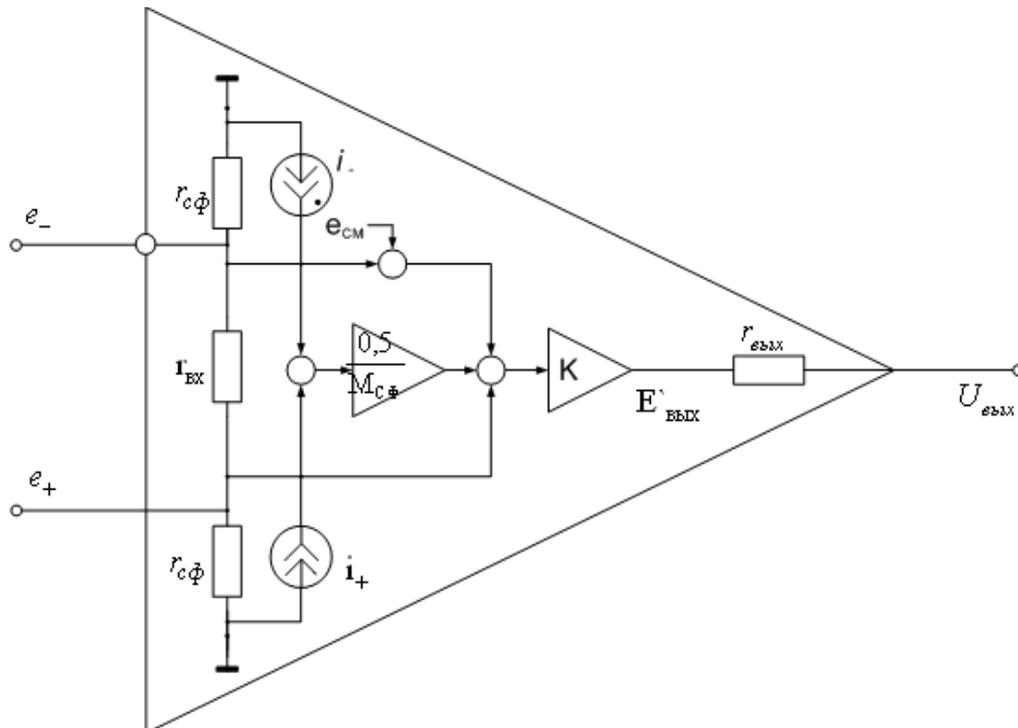


Рис. 5.1. Эквивалентная схема ОУ для низких частот

Точно так же предполагаются идеальными масштабирующие звенья (обозначены треугольниками): их входные и выходные сопротивления, как и у суммирующих звеньев, равны, соответственно, бесконечности и нулю. Все

напряжения в эквивалентной схеме (рис. 5.1) отсчитываются относительно общего провода – земли.

Как видно из эквивалентной схемы, ОУ имеет два основных входа и один выход (именно так и обстоит дело в подавляющем большинстве интегральных ОУ, хотя в принципе могут быть и отличия от этого варианта). Один из входов усилителя называется инвертирующим, а другой – неинвертирующим. При работе ОУ в линейном режиме напряжение на его выходе возрастает с уменьшением напряжения на инвертирующем входе (e_-) и с увеличением напряжения на неинвертирующем входе (e_+). Для экономии места в дальнейшем будем называть инвертирующий вход И-входом, а неинвертирующий – Н-входом.

Разность напряжений на входах ОУ ($e_+ - e_-$) называют дифференциальным (разностным) входным сигналом ОУ, а полусумму этих напряжений $(e_+ + e_-)/2$ – синфазным входным сигналом.

На электрических схемах ОУ принято условно изображать в виде треугольника, одна из вершин которого служит точкой присоединения выходного вывода. Входы усилителя показывают на противоположной стороне треугольника, причем И-вход обозначают знаком «-» или маленьким кружком.

Параметры ОУ, которые характеризуют его качество, весьма многочисленны. Укажем основные из них.

Коэффициент усиления (K) – отношение изменения выходного напряжения к вызвавшему его изменению дифференциального входного напряжения при работе усилителя на линейном участке характеристики:

$$K = \Delta U_{\text{вых}} / \Delta U_{\text{вх}},$$

где $U_{\text{вх}} = e_+ - e_-$. Интегральные ОУ имеют коэффициент усиления, лежащий в диапазоне $10^3 - 10^6$.

Напряжение смещения ($e_{\text{см}}$) – дифференциальное входное напряжение ($e_+ - e_-$), при котором выходное напряжение усилителя равно нулю. Максимальное по модулю значение $e_{\text{см}}$ для усилителей, входные каскады которых выполнены на биполярных транзисторах, чаще всего составляет 3–10 мВ. У тех ОУ, у которых входной каскад строится на полевых транзисторах, напряжение смещения обычно на порядок больше: 30–100 мВ.

Средний входной ток ($i_{\text{вх}}$) – среднеарифметическое значение токов Н- и И-входов усилителя, измеренных при таком входном напряжении $U_{\text{вх}}$, при котором выходное напряжение $U_{\text{вых}}$ равно нулю. На эквивалентной схеме (рис. 5.1) входные токи отражены в виде источников тока i_+ и i_- . Средний входной ток интегральных усилителей с входными каскадами на биполярных транзисторах обычно лежит в диапазоне 0,01–1 мкА. Такие малые значения $i_{\text{вх}}$ обеспечиваются за счет работы входных транзисторов ОУ в режиме очень малых коллекторных токов. Дальнейшее снижение входных токов (до 1 нА и меньше) достигается при использовании полевых транзисторов во входных каскадах ОУ.

Разность входных токов (Δi_{ex}) – абсолютное значение разности токов двух входов усилителя $|i_+ - i_-|$, измеренных тогда, когда напряжение на выходе усилителя равно нулю. Этот разностный ток в значительной степени говорит о том, насколько велика несимметрия входного каскада ОУ. Если значение Δi_{ex} близко к нулю, то влияние входных токов i_+ и i_- на входное напряжение ОУ можно существенно уменьшить, устанавливая одинаковыми эквивалентные проводимости внешних цепей, присоединенных к Н- и И-входам ОУ. Обычно Δi_{ex} составляет 20–50 % i_{ex} .

Входное сопротивление (r_{ex}) – сопротивление со стороны одного из входов ОУ, в то время как другой заземлен. В некоторых случаях это сопротивление называют входным сопротивлением для дифференциального сигнала, чтобы отличить его от входного сопротивления для синфазного сигнала. Входное сопротивление ОУ может составлять 10^3 – 10^6 Ом и более.

Входное сопротивление для синфазного сигнала ($r_{сф}$) определяют как отношение приращения синфазного напряжения к приращению среднего тока усилителя. Величина $r_{сф}$ обычно на 1–2 порядка и более превышает r_{ex} .

Коэффициент ослабления синфазного сигнала ($M_{сф}$) – отношение коэффициента усиления K к коэффициенту передачи синфазного сигнала. Коэффициент передачи синфазного сигнала при этом определяется как отношение изменения выходного напряжения к вызвавшему его изменению синфазного входного напряжения. Коэффициент ослабления синфазного сигнала может быть определен и по-другому: как отношение синфазного сигнала к вызванному этим сигналом изменению напряжения смещения усилителя. Часто употребляется логарифмическая мера для определения коэффициента ослабления синфазного сигнала $M_{сф} = 20 \lg |M_{сф}|$. Обычно для интегральных ОУ величина $M_{сф} = 60$ – 100 дБ.

Коэффициент влияния нестабильности источника питания ($K_{П}$) – отношение изменения напряжения смещения к вызвавшему его изменению одного из питающих напряжений $\Delta U_{П}$ (иногда влияние нестабильности источников положительного и отрицательного питающих напряжений характеризуют отдельными коэффициентами влияния). Этот коэффициент чаще всего равен $2 \cdot 10^{-5}$ – $2 \cdot 10^{-4}$, что соответствует 20–200 мкВ/В.

Выходное сопротивление ОУ ($r_{вых}$) определяется точно так же, как и для любого другого усилителя и составляет обычно величину, лежащую в диапазоне от нескольких десятков до нескольких сотен Ом.

Динамические свойства ОУ определяются обычно двумя параметрами: *частотной полосой* и *скоростью изменения выходного сигнала*.

Частотная полоса ОУ определяется, как правило, частотой единичного усиления f_1 , т. е. частотой, на которой коэффициент усиления ОУ уменьшается до единицы. Значения f_1 у большинства интегральных ОУ лежат в диапазоне от десятых долей мегагерца до нескольких десятков мегагерц.

Максимальная скорость нарастания выходного напряжения ОУ (v) определяется при подаче на его вход импульса напряжения прямоугольной

формы. Для типовых интегральных ОУ максимальная скорость нарастания лежит в диапазоне 0,3–50 В/мкс. Так как наибольшая скорость изменения синусоидального сигнала пропорциональна амплитуде и частоте этого сигнала, то ограничение скорости изменения выходного сигнала ОУ приводит к ограничению амплитуды выходного неискаженного гармонического сигнала на высоких частотах.

Частотная коррекция ОУ обычно осуществляется с помощью подключения конденсаторов и резисторов к соответствующим зажимам ОУ. Назначение частотной коррекции – предотвращать автоколебания выходного сигнала при охвате усилителя цепью отрицательной обратной связи (ООС). Причина автоколебаний – нежелательные фазовые сдвиги в усилителе и цепи ООС, вследствие чего отрицательная обратная связь на некоторой частоте приобретает свойства положительной обратной связи.

5.2. ИНВЕРТИРУЮЩИЙ И НЕИНВЕРТИРУЮЩИЙ УСИЛИТЕЛИ

Схемы инвертирующего и неинвертирующего усилителей, основанные на применении операционных усилителей (ОУ), показаны на рисунках 5.2, а, б. В обеих схемах ОУ охвачен отрицательной обратной связью (ООС) по напряжению: на И-вход ОУ подается часть выходного напряжения. В случае инвертирующего усилителя (рис. 5.2, а) входной сигнал и сигнал ООС суммируются с помощью резисторов R_1 и R_2 . Такая обратная связь называется параллельной. Обратная связь, используемая в неинвертирующем усилителе, носит название последовательной: здесь дифференциальное входное напряжение ОУ образуется непосредственно как разность входного напряжения и напряжения обратной связи.

Коэффициент обратной связи для обеих схем определяется одним выражением:

$$\beta = \frac{R_1}{R_1 + R_2}.$$

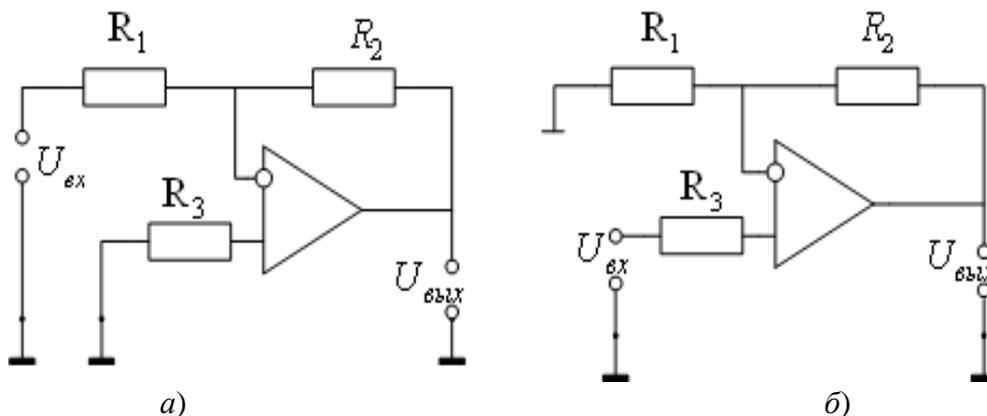


Рис. 5.2. Схемы инвертирующего (а) и неинвертирующего (б) усилителей на основе ОУ

Важным частным случаем неинвертирующего усилителя является *повторитель напряжения*, т. е. усилитель с коэффициентом ООС β и коэффициентом усиления K_n , равными единице. Для его построения достаточно выход ОУ непосредственно соединить с И-входом, а на Н-вход подать входной сигнал. Тогда $R_2 = 0$, $R_1 = \infty$ и получаем $K_n = 1$. Повторитель напряжения применяется в тех случаях, когда необходимо повысить входное сопротивление или снизить выходное сопротивление некоторого электронного узла.

5.3. ДИФФЕРЕНЦИАЛЬНЫЕ УСИЛИТЕЛИ

Дифференциальный усилитель предназначен для усиления разности двух входных напряжений. Стабилизация коэффициента усиления дифференциального усилителя так же, как и в инвертирующем и неинвертирующем усилителях, осуществляется с помощью отрицательной обратной связи.

Простейший дифференциальный усилитель, содержащий один ОУ, показан на рисунке 5.3, а. Выходное напряжение такого усилителя нетрудно найти, пользуясь выведенными формулами для инвертирующего и неинвертирующего усилителей. Рассматривая выходное напряжение как сумму двух независимых составляющих, одна из которых обусловлена сигналом U_1 , а другая – сигналом U_2 , получаем:

$$U_{\text{вых}} = U_2 \frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right) - U_1 \frac{R_2}{R_1}.$$

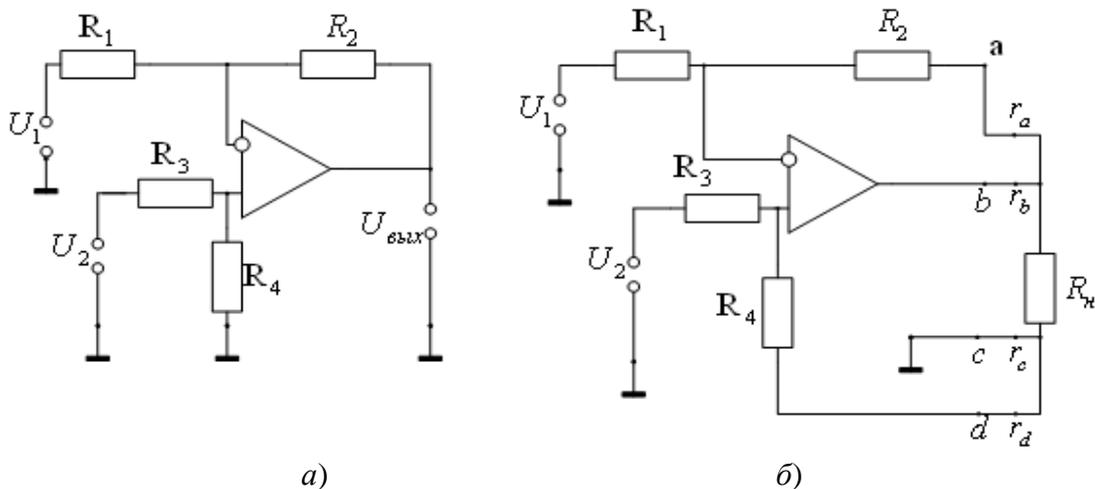


Рис. 5.3. Схемы простейших дифференциальных усилителей: инвертирующий (а); неинвертирующий (б)

5.4. ИНТЕГРАТОРЫ

Если ООС, которой охвачен ОУ, образуется конденсатором, то схема выполняет математическую операцию интегрирования по времени.

Входной ток протекает через конденсатор C , в связи с тем, что инвертирующий вход имеет потенциальное заземление.

Представленной схеме (рис. 5.4) присущ один недостаток, связанный с тем, что выходное напряжение имеет тенденцию к дрейфу, обусловленному сдвигами ОУ и током смещения (в схеме отсутствует ООС по постоянному току). Это нежелательное явление можно ослабить, если использовать ОУ на полевых транзисторах, отрегулировать входное напряжение сдвига ОУ и выбрать большие величины R и C . Кроме того, на практике часто прибегают к периодическому сбросу в ноль интегратора с помощью подключенного к конденсатору переключателя (обычно на полевом транзисторе).

Интегратор может служить источником линейно-изменяющегося напряжения, необходимого в осциллографах в качестве генератора развертки, используемого также при реализации некоторых методов цифро-аналогового преобразования. Если на вход интегратора подать постоянное напряжение, на выходе получим линейно-возрастающее напряжение, которое будет увеличиваться вплоть до напряжения насыщения. Когда на входе действуют симметричные относительно земли периодические колебания, это приводит к возникновению на выходе треугольных колебаний.

При отрицательном напряжении на затворе полевой транзистор запирается, интегратор вырабатывает на выходе линейно-возрастающее напряжение, по приходу положительного импульса полевой транзистор открывается, конденсатор быстро разряжается, выходное напряжение сбрасывается до нуля. Периодические импульсы сброса формируют на выходе пилообразное напряжение.

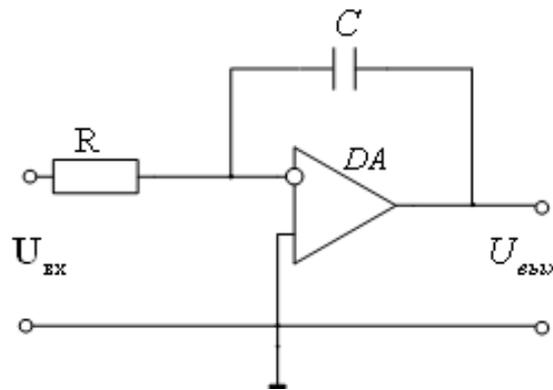


Рис. 5.4. Интегратор на ОУ

5.5. ДИФФЕРЕНЦИАТОРЫ

Дифференциаторы подобны интеграторам, в них только меняются местами резистор R и конденсатор C . Инвертирующий вход ОУ заземлен, поэтому изменение входного напряжения с некоторой скоростью вызывает изменение тока, а следовательно, и выходного напряжения.

На практике с дифференциаторами на основе ОУ работать трудно из-за их большой чувствительности к всевозможным шумам во входной цепи. Действующее напряжение шума может быть совсем небольшим, но часто скорость его изменения весьма велика и приводит к большим по величине паразитным

сигналам на выходе дифференциатора. По этой причине избегают применения дифференциаторов везде, где это возможно. Если нельзя обойтись без дифференциатора, то можно понизить чувствительность к помехам, ослабляя эффективное усиление в усилителе на высоких частотах. Для этого последовательно с конденсатором C включают резистор, а параллельно резистору R – конденсатор небольшой емкости, и экспериментально подбирают значения этих параметров так, чтобы достичь приемлемого компромисса между чувствительностью к помехам и точностью дифференцирования.

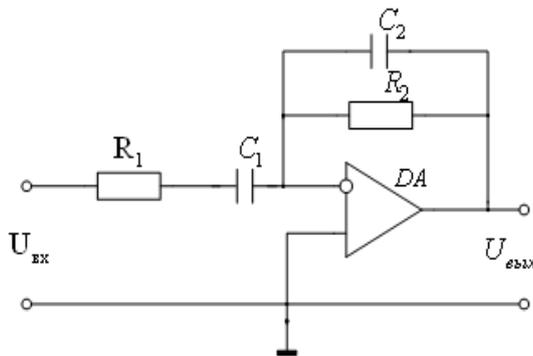


Рис. 5.5. Дифференциатор на ОУ с уменьшенной чувствительностью к помехам

5.6. ПЕРЕМНОЖИТЕЛИ НАПРЯЖЕНИЙ

Ряд типовых функциональных зависимостей может быть воспроизведен с помощью перемножителей напряжения. Перемножители строят на основе логарифмических диодов или параллельно-симметричных транзисторных каскадов.

Перемножители на логарифмических диодах используют экспоненциальную зависимость тока I через открытый р-п-переход от напряжения U на этом переходе. Эта зависимость определяется соотношением

$$I = I_s(e^{\mu U} - 1),$$

где I_s – теоретический обратный ток р-п-перехода, $\mu = \frac{q}{mkT}$, m – поправочный коэффициент, зависящий от типа диода и тока через него (m принимает значения от 1 до 2).

Существенно больший диапазон изменения тока возможен при использовании так называемых трансдиодов – транзисторов, у которых напряжение между коллектором и базой поддерживается близким к нулю. Зависимость коллекторного тока от базоэмиттерного напряжения для трансдиода подчиняется экспоненциальной зависимости в диапазоне изменения токов на 4–5 и более декад (при правильном выборе транзистора – вплоть до девяти декад). Происходит это за счет того, что коэффициент m в случае трансдиода равен единице и не зависит от тока.

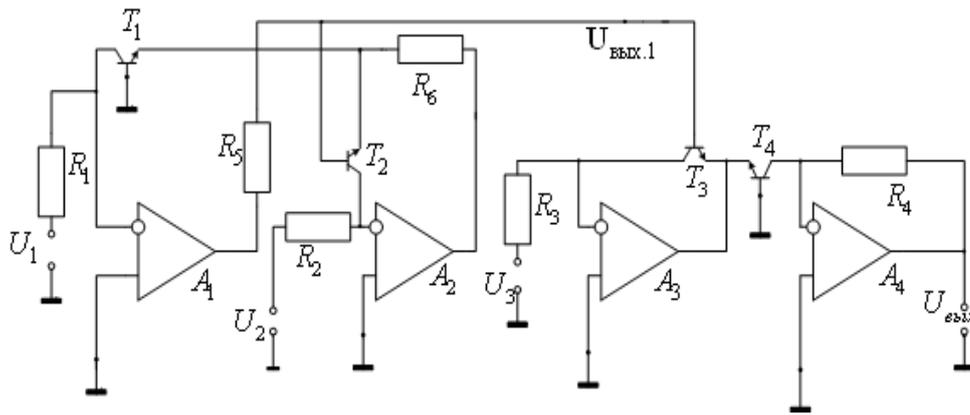


Рис. 5.6. Схема устройства перемножения – деления напряжений на основе логарифмических преобразователей

Перемножители на параллельно-симметричных транзисторных каскадах также используют экспоненциальную зависимость тока коллектора транзистора от его базоэмиттерного напряжения.

5.7. КОМПАРАТОРЫ

Аналоговые ИС оперируют с непрерывными сигналами, а цифровые ИС – с дискретными. Существуют также аналого-цифровые ИС, предназначенные для работы как с непрерывными, так и с дискретными сигналами.

Типичным представителем аналого-цифровых ИС является компаратор – простейший преобразователь непрерывного сигнала в дискретный. Напряжение на выходе компаратора может находиться на одном из двух фиксированных уровней: на верхнем, если напряжение на его неинвертирующем входе больше напряжения на инвертирующем входе, и на нижнем – при противоположном соотношении этих напряжений.

Обычный операционный усилитель может быть с успехом применен для работы в качестве компаратора. Однако компараторы, специально разработанные для преобразования непрерывных сигналов в дискретные, имеют ряд преимуществ в сравнении с обычными ОУ. Прежде всего компараторы переключаются гораздо быстрее, чем ОУ. Это достигается благодаря тому, что при проектировании компаратора специально предусматриваются меры, обеспечивающие быстрый выход усилительных каскадов из режима насыщения. Кроме того, в отличие от ОУ выходной сигнал компаратора обычно изменяется в пределах, позволяющих производить непосредственное управление логическими интегральными схемами. Компараторы могут иметь также дополнительные стробирующие входы, изменяя потенциал которых, можно включать компаратор в работу или выключать его.

Компаратор не предназначен для работы в режиме с отрицательной обратной связью (ООС). Поэтому в нем не обеспечивается линейность участка амплитудной характеристики лежащего между двумя уровнями ограничения, и

не предусматриваются корректирующие цепи, устраняющие самовозбуждение при введении ООС.

Схемы компараторов схожи со схемами операционных усилителей, но обычно проще их. Параметры, характеризующие компараторы, почти такие же, как и для ОУ. Это входной ток ($i_{вх}$), напряжение смещения, коэффициент усиления, допустимый диапазон синфазного входного сигнала, время задержки включения ($t_{вкл}$), нагрузочная способность, ток потребления (I_n).

Применяются компараторы как по прямому назначению – для сравнения двух напряжений, так и в различных схемах с положительной обратной связью: формирователях, релаксационных генераторах и т. д. Они, в частности, могут заменить ОУ в любом из релаксационных генераторов. В последующих главах будут приведены примеры применения компараторов в аналого-цифровых преобразователях.

5.8. АНАЛОГОВЫЕ КЛЮЧИ

Аналоговые ключи представляют собой одну из простейших разновидностей аналого-цифровых схем. Управляются такие ключи дискретными сигналами, а переключают непрерывные сигналы. Выполняются интегральные аналоговые ключи, как правило, на основе МОП-транзисторов. МОП-транзисторы в данном случае удобны тем, что, во-первых, в открытом состоянии могут пропускать ток в обоих направлениях и при этом в канале отсутствуют паразитные источники напряжения, а, во-вторых, цепь управления МОП-транзистора электрически изолирована от сигнальной цепи. Сопротивление канала открытого ключевого МОП-транзистора составляет 10–1000 Ом. Качество закрытого ключа характеризуют током утечки, который для МОП-переключателей обычно лежит в диапазоне 0,1–100 нА.

Сопротивление открытых аналоговых ключей и ток утечки закрытых зависит от температуры. У открытого КМОП-ключа сопротивление практически линейно возрастает с ростом температуры, с коэффициентом 2–5 % на 10 °С. Ток утечки закрытого ключа – это ток запертого р-п-перехода. Как известно, этот ток увеличивается примерно в два раза при увеличении температуры на каждые 10 °С. При комнатной температуре этот ток для КМОП-ключей серий 590 и К590 составляет в среднем 0,1–10 нА.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Опадчий Ю.Ф. Аналоговая и цифровая электроника / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. – М.: Горячая линия – Телеком, 2002. – 768 с.
2. Пухальский Г.И. Проектирование дискретных устройств на интегральных микросхемах / Г.И. Пухальский, Т.Я. Новосельцева. – М.: Радио и связь, 1990. – 303 с.
3. Шило В.Л. Популярные цифровые микросхемы / В.Л. Шило. – М.: Металлургия, 1988. – 352 с.
4. Букреев И.Н. Микроэлектронные схемы цифровых устройств / И.Н. Букреев, Б.М. Мансуров, В.И. Горячев. – М.: Советское радио, 1975. – 367 с.
5. Стребков В.И. Импульсный частотно-фазовый дискриминатор на интегральных микросхемах / В.И. Стребков // Электронная техника в автоматике. – М.: Советское радио, 1977. – Вып. 9. – С. 223–230.
6. А.с. 569000 СССР, МКИ2 Н03 D 13/00. Импульсный частотно-фазовый дискриминатор / В.И. Стребков (СССР). – 3 с.: ил.
7. Федорков Б.Г. Микросхемы ЦАП и АЦП: функционирование, параметры, применение / Б.Г. Федорков, В.А. Телец. – М.: Энергоатомиздат, 1990. – 318 с.
8. Сазонов А.А. Микроэлектронные устройства автоматики / А.А. Сазонов [и др.]. – М.: Энергоатомиздат, 1991. – 383 с.
9. Бубнов А.В. Логическое устройство сравнения для систем фазовой автоподстройки частоты / А.В. Бубнов [и др.] // Омский научный вестник. – 2009. – № 3(83). – С. 223–227.
10. Чижма С.Н. Основы схемотехники: учебное пособие для вузов / С.Н. Чижма. – Омск: Изд-во "Апельсин", 2008. – 424 с.: ил.
11. Гутников В.С. Интегральная электроника в измерительных устройствах / В.С. Гутников. – 2-е изд., перераб. и доп. – Л.: Энергоатомиздат, Ленингр. отделение, 1988. – 304 с.: ил.

Редактор Е.С. Воронкова

Компьютерная верстка О.Г. Белименко

ИД № 06039 от 12.10.2001

Свод. темплан 2010 г.

Подписано в печать 20.09.10. Формат 60x84 ¹/₁₆. Отпечатано на дупликаторе.
Бумага офсетная. Усл. печ. л. 5,0. Уч.-изд. л. 5,0. Тираж 150 экз. Заказ 595.

Издательство ОмГТУ. Омск, пр. Мира, 11. Т. 23-02-12
Типография ОмГТУ